

Docket No.: K-0346

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

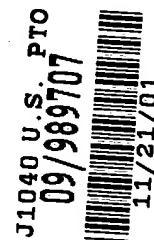
In re Application of

Woong Lim CHOI

Serial No.: New U.S. Patent Application

Filed: November 21, 2001

For: NON-VOLATILE SEMICONDUCTOR MEMORY AND METHOD OF  
OPERATING THE SAME



**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner of Patents  
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. P 2001-51566, filed August 25, 2001

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP

Daniel Y.J. Kim  
Registration No. 36,186

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440  
**Date: November 21, 2001**  
DYK/cng



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 51566 호  
Application Number PATENT-2001-0051566

출원년월일 : 2001년 08월 25일  
Date of Application AUG 25, 2001

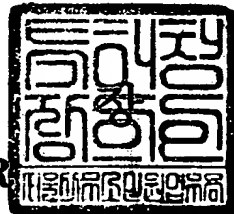
출원인 : 최웅림  
Applicant(s) CHOI WOONG LIM



2001 년 11 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.08.25
【국제특허분류】	H01L
【발명의 명칭】	반도체 비휘발성 메모리 및 어레이 그리고 그것의 동작 방법
【발명의 영문명칭】	Semiconductor Non-volatile Memory/Array and Method of Operating the same
【출원인】	
【성명】	최웅림
【출원인코드】	4-2001-034776-4
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2001-050738-6
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2001-050739-3
【발명자】	
【성명】	최웅림
【출원인코드】	4-2001-034776-4
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 심창섭 (인) 대리인 김용인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	78 면 78,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	64 항 2,157,000 원

1020010051566

출력 일자: 2001/11/8

【합계】	2,264,000 원
【감면사유】	개인 (70%감면)
【감면후 수수료】	679,200 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

반도체 시스템 칩은 로직 회로를 위한 로직 소자와 휘발성 또는 비휘발성 메모리 소자를 단일 공정으로 반도체 기판 상에 형성시켜야 한다. 본 발명은 이러한 시스템 칩을 효과적으로 구현할 수 있는 비휘발성 메모리 소자 및 그것의 동작 방법 그리고 그의 제조 방법을 제공한다. 본 발명의 비휘발성 메모리는 적어도 두 개 이상의 메모리 셀들의 콘트롤 게이트가 하나의 콘트롤 플레이트(control plate)로 형성되고 각 단위 블록들은 비휘발성 저장 트랜지스터(non-volatile storage transistor)와 이것과 직렬로 연결된 선택 트랜지스터(select transistor)로 구성된다.

**【대표도】**

도 3a

**【색인어】**

비휘발성 메모리, 콘트롤 플레이트, 플래시 메모리, EEPROM

## 【명세서】

## 【발명의 명칭】

반도체 비휘발성 메모리 및 어레이 그리고 그것의 동작 방법 {Semiconductor Non-volatile Memory/Array and Method of Operating the same}

## 【도면의 간단한 설명】

도 1a는 종래 기술의 단일 트랜지스터형 플래시 메모리 단위 블록 구조를 나타낸 단면도

도 1b는 종래 기술의 단일 트랜지스터형 플래시 메모리의 레이 아웃도

도 2a는 종래 기술의 이중 트랜지스터형 EEPROM 셀 구조를 나타낸 단면도

도 2b는 종래 기술의 이중 트랜지스터형 EEPROM의 레이 아웃도

도 2c와 도 2d는 이중 트랜지스터형 EEPROM의 어레이 구성도

도 3a와 도 3b는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 단위 블록 구성도 및 어레이 구성도

도 3c는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리가 플래시 메모리 모드로 동작하기 위한 조건 테이블

도 3d는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리가 EEPROM 모드로 동작하기 위한 조건 테이블

도 4a는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 레이 아웃 구성도

도 4b는 도 4a의 A-A'선에 따른 구조 단면도

도 4c는 도 4a의 B-B'선에 따른 구조 단면도

도 4d는 트리플 웰 구조로 형성한 경우의 도 4a의 A-A'선에 따른 구조 단면도

도 5a와 도 5b는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 제조를 위한 공정 단면도

도 6a와 도 6b는 본 발명의 제 2 실시예에 따른 반도체 비휘발성 메모리의 단위 블록 구성도 및 어레이 구성도

도 6c는 본 발명의 제 2 실시예에 따른 반도체 비휘발성 메모리가 플래시 메모리 모드로 동작하기 위한 조건 테이블

도 6d는 본 발명의 제 2 실시예에 따른 반도체 비휘발성 메모리가 EEPROM 모드로 동작하기 위한 조건 테이블

도 7a와 도 7b는 본 발명의 제 3 실시예에 따른 반도체 비휘발성 메모리의 단위 블록 구성도 및 어레이 구성도

도 7c는 본 발명의 제 3 실시예에 따른 반도체 비휘발성 메모리가 플래시 메모리 모드로 동작하기 위한 조건 테이블

도 7d는 본 발명의 제 3 실시예에 따른 반도체 비휘발성 메모리의 레이아웃 구성도

도 7e는 도 7d의 비트 라인 콘택 영역에서의 콘트롤 플레이트 구성을 나타낸 평면 구성도

도 7f는 도 7d의 C-C'선에 따른 구조 단면도

도 8a와 도 8b는 본 발명의 제 4 실시예에 따른 반도체 비휘발성 메모리의 단위 블록 및 어레이 구성도

도 9a와 도 9b는 본 발명의 제 5 실시예에 따른 스플릿 게이트 구조의 반도체 비휘발성 메모리의 단위 블록 및 어레이 구성도

도 9c는 본 발명의 제 5 실시예에 따른 반도체 비휘발성 메모리가 플래시 메모리 모드로 동작하기 위한 조건 테이블

도 9d는 본 발명의 제 5 실시예에 따른 반도체 비휘발성 메모리의 레이아웃 구성도

도 9e는 도 9d의 콘트롤 플레이트 구성을 나타낸 평면 구성도

도 9f내지 도 9h는 도 9d의 D-D'선, E-E'선, F-F'선에 따른 구조 단면도

도 10a와 도 10b는 본 발명의 제 5 실시예에 따른 반도체 비휘발성 메모리의 다른 구조 단면도

도 11a는 네 개 이상의 셀을 커버하는 콘트롤 플레이트 셀의 회로 구성도

도 11b는 네 개 이상의 셀을 커버하는 콘트롤 플레이트 셀의 레이아웃 구성도

도 11c는 도 11b의 G-G'선에 따른 구조 단면도

도면의 주요 부분에 대한 부호의 설명

30. 비휘발성 저장 트랜지스터

31. 선택 트랜지스터

32. 단위 블록

33. 공통 소스

34. 소스/드레인

35. 드레인



36. 선택 게이트

37. 플로팅 게이트

38. 콘트롤 플레이트

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<38> 본 발명은 반도체 비휘발성 메모리 및 어레이 그리고 그것의 동작 방법에 관한 것이다.

<39> 디지털 데이터를 전기적으로 읽고 쓸 수 있는 반도체 비휘발성 메모리에는 셀 단위로 소거와 기록이 가능한 이이피롬(EEPROM)과 수십 또는 수백 바이트 이상의 블록 단위로만 데이터를 소거하고 바이트 단위로 기록할 수 있는 플래시 메모리의 두 종류가 있다.

<40> 종래의 이이피롬은 소규모의 데이터 단위로 재기록할 수 있으므로 편리하게 사용할 수 있는 반면에 메모리 셀이 두개의 트랜지스터로 구성되어 셀 사이즈가 커서 대용량을 구현하기 어렵고 가격이 비싼 단점이 있다.

<41> 종래의 플래시 메모리는 하나의 트랜지스터로 셀을 구성함으로써 셀 사이즈를 줄이는 대신 소거의 단위를 크게 하였다. 그러나, 종래의 플래시메모리는 또한 동작 특성 및 신뢰성에 있어서 여러 가지 부정적인 현상들이 있으며 설계를 작아질수록 이러한 문제점이 더욱 크게 되어 셀 사이즈를 줄이는데 큰 제약이 되고 있다.

<42> 이러한 비휘발성 메모리들은 주로 각기 다른 공정으로 제조되어 단일 메모리 소자로서 사용되어 왔다. 그러나 시스템을 구성하는 여러 기능 블록을 하나의 칩에 집적시키는 시스템 칩(System on Chip; SoC)에 내장되기 위해서는 동일 공정으로 이이피롬 및 플래시 메모리의 제조가 가능해야 할 뿐만 아니라 셀 사이즈도 작아야 하며 저전압 동작이 가능해야 한다.

<43> 이하, 첨부된 도면을 참고하여 종래 기술의 비휘발성 메모리에 관하여 설명하면 다음과 같다.

<44> 도 1a는 종래 기술의 단일 트랜지스터형 플래시 메모리 셀 구조를 나타낸 단면도이고, 도 1b는 종래 기술의 단일 트랜지스터형 플래시 메모리의 레이 아웃도이다.

<45> 먼저, 도 1a에서와 같이, 상기 셀은 P형의 반도체 기판(1)의 표면내에 형성된 소스 영역(2)과 드레인 영역(3)을 포함한다. 그들 사이에는 채널 영역이 되고 채널 영역상에는 게이트 산화막(4), 플로팅 게이트(5), 콘트롤 게이트(7)가 적층 형성된다.

<46> 여기서, 플로팅 게이트(5)와 콘트롤 게이트(7)의 사이에는 산화막(Inter-Poly Oxide; IPO)(6)이 형성된다.

<47> 그리고 플로팅 게이트(5)는 전하를 저장하기 위한 수단이고, 플로팅 게이트(5)상의 콘트롤 게이트(7)는 플로팅 게이트(5)에 전압을 유기시키기 위한 것이다

- <48> 여기서, 플로팅 게이트(5)와 콘트롤 게이트(7)는 도면 1a와 같이 적층 구조로 형성되며 상기 적층 구조를 갖는 게이트의 양 측면들에서 나란하게 상기 소스 영역(2)과 드레인 영역(3)이 상기 반도체 기판(1)내에 형성되어 단일 트랜지스터 단위 블록이 구성된다. 상기 셀은 프로그래밍 시에는 채널 핫 캐리어 인젝션 방식을 사용한다.
- <49> 즉, 상기 셀은 프로그래밍시에 상기 드레인 영역(3)에는 5V 정도의 전압을 인가하고 상기 소스 영역(2)은 접지(0V)되고 상기 콘트롤 게이트(7)에는 8V 정도가 인가되어 채널 열전자가 상기 플로팅 게이트에 주입된다.
- <50> 그리고 상기 단위 블록의 소거 시에는 상기 소스 영역(2) 또는 상기 반도체 기판(1) 방향으로 전하의 터널링이 일어나도록 상기 콘트롤 게이트(7)에는 0V 또는 네거티브 고전압이 인가되고 상기 소스 영역(2) 또는 상기 반도체 기판(1)에는 포지티브 고전압이 인가된다.
- <51> 그리고 도 1b는 도 1a에 나타난 상기 적층 구조를 갖는 플래시 메모리 셀의 레이 아웃을 보여주는 도면이다.
- <52> 레이 아웃 구조는 도 1b에서와 같이, 각각의 단위 셀(11)들은 필드 절연 영역(10)에 의해 분리되고 각 셀의 콘트롤 게이트(15)는 대응하는 하나의 워드 라인(12)에 연결되고 각 워드 라인(12)은 서로 분리되어 있다. 상기 워드 라인(12)에 수직 방향으로 비트 라인(13)이 구성되고, 각 셀의 드레인 영역(17)은 비트 라인 콘택(14)을 통해 비트 라인(13)에 연결된다.

- <53> 이러한 상기 단일 트랜지스터 적층형 셀은 셀 사이즈가 작은 반면 몇 가지 치명적인 약점이 있다.
- <54> 첫째, 상기 단일 트랜지스터형 적층형 셀은 데이터 소거시에 문턱 전압이 0V 이하로 내려가는 과잉 소거가 허용되지 않는다. 이는 비트 라인 상의 어느 한 셀이 과잉 소거되면 다른 셀들의 상태를 읽을 수 없게 되기 때문으로, 과잉 소거는 반드시 막아야 한다.
- <55> 그러나 공정의 불균일성이나 공정에 의해 셀의 전하저장 수단인 상기 플로팅 게이트 주위를 둘러싼 유전막에 가해지는 스트레스로 인해 상기 과잉 소거가 일어난다. 이러한 과잉 소거 현상을 치유하기 위해 설계적인 테크닉을 사용하지만 회로가 복잡해진다.
- <56> 둘째, 상기 단일 트랜지스터 적층형 셀은 과잉 소거를 허용하지 않으므로 셀의 허용 문턱 전압 범위가 매우 좁다. 뿐만 아니라 소거는 수십 킬로 바이트 이상의 블록 단위로 실시되므로 소거 블록의 통계적인 문턱 전압 분포가 매우 넓으므로 실제 허용 문턱 전압 범위는 더욱 좁아진다.
- <57> 상기의 비휘발성 메모리 셀은 상기 플로팅 게이트의 전하 상태, 즉 문턱 전압을 메모리의 논리 상태와 대응시킨다. 3.3V 입력 전압에 사용되는 상기 단일 트랜지스터 적층형 셀의 허용 문턱 전압 범위는 대략 1V 에서 5V 사이가 된다.
- <58> 3.3V의 리드 전압을 콘트롤 게이트에 인가하면 낮은 레벨의 문턱 전압이 1V 인 경우 3.3V와 1V의 차이에 해당하는 셀 전류가 흐르고, 5V로 프로그래밍 된 셀은 채널이 차단되어 전류가 흐르지 않는다.

- <59> 따라서, 전류의 흐름과 막힘 상태를 읽어냄으로써 1과 0 두 레벨의 로직 상태와 대응시켜 셀당 1 비트의 디지털 데이터를 저장할 수 있다.
- <60> 한편 메모리의 데이터 리드 속도는 리드 시의 셀 전류에 비례하며 셀 전류가 크면 속도가 빠르고 셀 전류가 작으면 속도가 느리다. 따라서 문턱 전압의 레벨이 낮을수록 셀 전류가 크고 리드 속도가 증가한다.
- <61> 그러나 종래 기술의 단일 트랜지스터 셀은 문턱 전압의 낮은 레벨이 0V 이상으로 높기 때문에 셀 전류가 적고 리드 속도를 개선하기 어렵다. 한편 각 메모리 셀에 문턱 전압을 네 레벨 이상 정의할 수 있다면 각 셀에 두 비트 이상의 논리 데이터를 저장할 수 있다(멀티 비트 메모리). 이렇게 다층 레벨로 프로그래밍할 경우에는 허용 문턱 전압 1V와 5V 사이에 4개 이상의 문턱 전압 레벨을 프로그래밍하고 읽어낼 수 있어야 한다.
- <62> 이 경우 문턱전압 레벨 간격이 좁아지면 리드 속도가 느려질 뿐만 아니라 각종 잡음에도 취약해지므로 어느 이하로 문턱 전압 레벨 간격을 줄일 수 없다. 따라서 전체 허용 문턱 전압 간격이 넓을수록 멀티 비트 메모리의 구현이 용이하며 메모리의 속도도 증가한다.
- <63> 따라서, 상기의 단일 트랜지스터 적층형 셀은 허용 문턱 전압의 범위가 좁아 고속의 저전압 리드 동작이 어려워 고속의 멀티 비트 메모리를 구현하기 어려운 단점이 있다.

- <64> 셋째, 상기 단일 트랜지스터 적층형 셀은 설계 룰이 미세해질수록(대략 0.18 마이크로미터 이하) 설계 룰에 비례한 사이즈 축소가 더욱 어려워지고 셀 특성 및 신뢰성의 부정적인 효과가 더욱 커진다.
- <65> 상기 셀로 구성된 메모리 어레이에서 셀에 해당하는 플로팅 게이트 저장 트랜지스터의 드레인선 비트 라인에 직접 연결되고 소스 터미널은 공통 접지 라인에 연결된다.
- <66> 이러한 메모리 어레이에서는 드레인 전압에 의한 플로팅 게이트로의 커플링 때문에 단위 블록 트랜지스터의 도통(drain turn on) 또는 펀치쓰루(punch-through) 또는 높은 누설 전류가 발생한다. 이로 인하여 프로그래밍시에는 선택된 비트 라인 상의 선택되지 않은 단위 블록들에 의해 과전류가 발생하는 문제점이 있고 채널의 폭이 좁을수록 이러한 현상은 증폭되므로 셀 사이즈를 줄이기 어렵게 된다.
- <67> 또한 이러한 어레이에서는 선택된 비트 라인에서 선택되지 않은 셀들에 대한 누설 전류에 의한 열전자 주입과 전계 스트레스에 의한 전하 누설 등의 문제점도 있다(disturb). 이러한 문제는 문턱전압의 레벨 간 간격이 좁은 멀티 비트 셀에서는 더욱 심각한 문제가 된다.
- <68> 또 저장 트랜지스터의 드레인 쪽에 콘택 및 배선 공정이 진행되므로 공정 중에 셀의 플로팅 게이트 주변 산화막을 열화시키는 문제점도 있다.
- <69> 이러한 문제점들로 인하여 상기 플래시 메모리 셀은 단일 트랜지스터임에도 불구하고 공정의 미세화에 따른 셀 사이즈 축소가 어려운 문제점을 안고 있다.

- <70> 단일 트랜지스터 적층형 셀은 따라서 단품 비휘발성 메모리(stand-alone non-volatile memory)뿐만 아니라 특히 시스템 칩을 위해 로직 공정에 합칠 경우에 부적합하다.
- <71> 일반적으로 도 1a 및 도 1b와 같은 적층형 셀은 컨트롤 게이트의 커플링비(coupling ratio)값이 작으므로 저전압 동작에 불리하다. 따라서 휴대형 기기와 같은 점점 더 낮은 전압을 요구하는 시스템에 효과적으로 대응하기 위해서는 비휘발성 메모리 셀의 커플링비의 증대도 절실히 요구되는 사항이다.
- <72> 상기의 단일 트랜지스터 적층형 셀의 문제점들은 도 2a의 이중 트랜지스터 이이피롬(two-transistor EEPROM) 셀에서와 같이 플로팅 게이트 트랜지스터(가)와 직렬로 선택 트랜지스터(나)를 추가함으로써 해결할 수 있다.
- <73> 도 2a는 종래 기술의 이중 트랜지스터형 EEPROM 셀 구조를 나타낸 단면도이고, 도 2b는 종래 기술의 이중 트랜지스터형 EEPROM의 레이아웃도이다.
- <74> 그리고 도 2c와 도 2d는 이중 트랜지스터형 EEPROM의 어레이 구성도이다.
- <75> 그 구성은 먼저, 도 2a에서와 같이, P형의 반도체 기판(21)의 표면내에 형성된 소스 영역(22)과 드레인 영역(23)을 포함한다. 그들 사이에는 채널 영역이 되고 채널 영역상에는 게이트 산화막(24), 플로팅 게이트(25) 그리고 플로팅 게이트(25)를 감싸는 구조의 콘트롤 게이트(27)가 형성된다.
- <76> 여기서, 플로팅 게이트(25)와 콘트롤 게이트(27)의 사이에는 산화막(Inter-Poly Oxide; IPO)(26)이 형성된다.

- <77> 그리고 플로팅 게이트(25)는 전하를 저장하기 위한 수단이고, 플로팅 게이트(25)상의 콘트롤 게이트(27)는 플로팅 게이트(25)에 전압을 유기시키기 위한 것이다.
- <78> 여기서, 플로팅 게이트 트랜지스터(가)의 드레인 영역(23)을 소오스 영역으로 사용하고 채널 영역을 사이에 두고 드레인 영역(23a)을 갖는 선택 트랜지스터가 일측에 구성된다.
- <79> 상기 채널 영역상에는 플로팅 게이트 트랜지스터(가)의 게이트 산화막(24)과 두께가 같거나 또는 다른 게이트 산화막(24a)이 구성되고 게이트 산화막(24a)상에 선택 트랜지스터(나)의 게이트(28)가 구성된다.
- <80> 레이 아웃 구조는 도 2b에서와 같다.
- <81> 그러나 이와 같은 종래 기술의 이이피롬은 동일 활성 영역(active region)의 인접한 셀들의 콘트롤 게이트들은 마진(B)를 가지고 포토리소그래피 공정 및 후속 식각 공정으로 분리하여야 한다.
- <82> 잘 알려진 바대로 회로 선폭의 최소 사이즈는 포토리소그래피 공정의 해상도에 의해 제한된다.
- <83> 또한, 도 2a와 도 2b에 나타낸 이이피롬은 플로팅 게이트를 채널 방향으로 리소그래피에 의해 형성시킨 후 그 위에 다시 콘트롤 게이트를 리소그래피로 정의함으로서 플로팅 게이트의 측면에 공정 톨러런스(tolerance)에 해당하는 만큼의 마진(A)이 필요하다. 따라서 종래 기술의 이이피롬은 도 2b의 마진(A)에 해당하는 만큼 셀 사이즈가 증가된다.



<84> 또한 종래의 이이피롬은 15V 이상의 고전압을 셀의 소스 또는 드레인 접합에 인가하므로 각 터미널의 피-엔 접합(P-N junction)부의 사이즈가 매우 크고 따라서 셀 사이즈가 증가된다.

<85> 이와 같은 종래 기술의 이이피롬의 어레이 구성은 도 2c에 나타낸 바와 같이 선택 트랜지스터의 드레인을 비트 라인에 연결시키거나 또는 도 2d에 나타낸 바와 같이 저장 트랜지스터(플로팅 게이트 트랜지스터)의 드레인을 비트 라인에 연결시킨다.

<86> 이러한 이이피롬 어레이 구조에서는 각 열(row)마다 분리된 콘트롤 게이트 라인이 형성되고 각 열에 있는 셀의 콘트롤 게이트는 해당 열의 콘트롤 게이트 라인에 연결된다.

<87> 이 경우 매 열마다 하나씩의 콘트롤 게이트 라인이 있어 어레이가 복잡하고 외부에서 각 라인을 디코딩하는 것도 복잡하다.

**【발명이 이루고자 하는 기술적 과제】**

<88> 따라서 본 발명의 목적은 안정된 동작과 높은 신뢰성을 유지할 수 있는 반도체 비휘발성 메모리 및 어레이 그리고 그것의 동작 방법을 제공하는데 있다.

<89> 본 발명의 다른 목적은 셀 사이즈가 작고 포토리소그래피 공정의 미세화에 따른 셀 사이즈의 축소가 용이한 비휘발성 메모리 및 그것의 동작 방법을 제공하는데 있다.

<90> 본 발명의 또 다른 목적은 고속 멀티 비트 동작 구현이 가능한 비휘발성 메모리 및 그것의 동작 방법을 제공하는 데 있다.

<91> 본 발명의 또 다른 목적은 동일한 공정으로 서로 다른 종류의 메모리들을 구현할 수 있는 비휘발성 메모리 및 그것의 동작 방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<92> 이와 같은 목적을 달성하기 위해 본 발명에 따른 반도체 비휘발성 메모리는 표면내에 액티브 영역들 및 필드 영역들을 갖는 반도체 기판;상기 액티브 영역상에 형성된 저장 수단 및 상기 저장 수단상에 형성된 콘트롤 게이트를 갖으며, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들; 상기 비휘발성 저장 트랜지스터마다 적어도 하나가 매치되고, 각각은 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 각 해당하는 비휘발성 저장 트랜지스터와 연결되는, 적어도 두 개의 선택 트랜지스터들을 구비함을 특징으로 한다.

<93> 본 발명은 각각 적어도 두개 이상의 서로 분리된 게이트를 갖는 적어도 두 개의 비휘발성 메모리 셀을 구비한 비휘발성 메모리 장치에 있어서, 열 방향으로 배열된 콘트롤 게이트 라인과 수직인 컬럼 방향으로 이웃한 적어도 두 개의 셀들의 콘트롤 게이트가 하나의 몸체로 형성되는 콘트롤 플레이트의 형태를 취한다.

<94> 이렇게 이웃한 적어도 두 개의 셀들의 콘트롤 게이트들이 하나의 몸체로 형성됨으로써 이중 트랜지스터 구조임에도 불구하고 셀 사이즈를 크게 줄일 수 있고 공정도 단순화시킬 수 있다.

- <95>        동시에 이중 트랜지스터 구조의 셀이 갖는 동작의 안정성과 제품의 신뢰성 및 저전압 고속 멀티 비트 비휘발성 메모리의 구현 용이성 등의 많은 장점들을 활용할 수 있다.
- <96>        본 발명에서는 각 휘발성 메모리 셀마다 적어도 하나의 선택트랜지스터를 구비한다.
- <97>        상기 콘트롤 플레이트는 단일 트랜지스터 셀에서는 구현이 불가능하다. 왜냐하면 단일 트랜지스터 셀에서는 콘트롤 게이트가 셀을 선택하는 선택 트랜지스터 구실도 겸하므로 이웃한 셀끼리 콘트롤 게이트가 연결되면 셀 어레이에서 이웃한 워드 라인끼리 연결되는 것이므로 하나의 워드 라인을 독립적으로 선택할 수 없게 된다.
- <98>        한편, 본 발명에서는 상기 선택 게이트가 콘트롤 플레이트와 분리되어 있으므로, 비록 인접한 적어도 두개의 셀들의 콘트롤 게이트들이 한 몸체로 연결되더라도 문제가 없다. 왜냐하면 동일 비트 라인(열) 상에 동시에 두 개 이상의 행(워드 라인)에 위치한 셀들의 비휘발성 저장 트랜지스터들이 선택되어도 각 셀의 선택성은 각 해당 하는 선택 트랜지스터가 관장하므로 상기 각 셀의 선택성에 영향을 주지 않는다.
- <99>        따라서, 본 발명의 비휘발성 메모리 셀은 각 셀의 비휘발성 저장 트랜지스터에 매치되어 적어도 한개 이상의 선택 트랜지스터가 상기 비휘발성 저장 트랜지스터의 어느 한쪽 또는 좌우에 직렬 연결되어 있으면 된다. 또한 상기 비휘발성 저장 트랜지스터와 상기 선택 트랜지스터는 소스 또는 드레인이 되는 접합(junction)부에 의해 분리될 수도 있고 하나의 연속된 채널 상에 게이트만 분리

된 스포릿 게이트 구조일 수도 있다. 또한 본 발명의 비휘발성 메모리의 상기 콘트롤 플레이트는 이웃한 두개의 셀 또는 두개 이상의 임의의 수만큼 블록 단위로 커버하거나 상기 비휘발성 메모리 전체를 하나의 콘트롤 플레이트로 커버 할 수도 있다.

<100> 본 발명의 또 다른 목적을 달성하기 위한 본 발명에 따른 반도체 비휘발성 메모리의 동작 방법은 반도체 기판의 액티브 영역상에 형성된 저장 수단 및 상기 저장 수단 상에 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들 그리고 상기 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결되는 적어도 두 개의 선택 트랜지스터들을 구비하는 반도체 비휘발성 메모리에 있어서, 셀의 채널이 형성되는 기판과 소스 터미널 사이에 일정 수준의 역방향 전압을 인가하는 제 1 방식 또는 콘트롤 플레이트의 전압을 저장 전압에서 순차적으로 증가시키는 제 2 방식의 어느 하나 또는 제 1,2 방식의 혼용으로 선택 트랜지스터의 on/off에 의해 선택된 비휘발성 저장 트랜지스터의 채널에 열전자를 발생시키는 채널 핫 캐리어 인젝션 방식으로 프로그래밍하고, 해당 비휘발성 저장 트랜지스터의 저장 수단과 소스 또는 기판사이에 고전계를 형성하여 터널링에 의해 저장된 전하를 소거하고, 리드 동작시에는 선택된 셀의 선택 트랜지스터를 턴온시키고 콘트롤 플레이트에 요구되는 리드 전류의 양에 따라 적절한 포지티브 전압을 인가하는 것을 특징으로 한다.

- <101> 이하, 첨부된 도면을 참고하여 본 발명에 따른 반도체 비휘발성 메모리 및 그것의 동작 방법 그리고 그의 제조 방법과 그를 이용한 시스템 온 칩에 관하여 상세히 설명하면 다음과 같다.
- <102> 도 3a와 도 3b는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 셀 구성도 및 어레이 구성도이다.
- <103> 도 3a의 비휘발성 메모리 장치는 두개의 이웃한 비휘발성 메모리 셀들을 보여준다.
- <104> 각 셀(32)은 기본적으로 선택 트랜지스터(select transistor)(31)와 이 선택 트랜지스터(31)와 직렬 연결된 비휘발성 저장 트랜지스터(non-volatile storage transistor)(30)를 포함하는 이중 트랜지스터 구조를 갖는다.
- <105> 도 3a의 비휘발성 메모리는 반도체 기판, 터널 유전체층, 두 개의 비휘발성 트랜지스터들, 그리고 두 개의 선택 트랜지스터들을 포함한다.
- <106> 상기 반도체 기판은 그것의 표면내에 액티브 영역들 및 필드 영역들을 갖는다. 상기 터널 유전체 층은 상기 반도체 기판 상에 형성된다.
- <107> 상기 각 비휘발성 트랜지스터는 상기 반도체 기판내에 형성된 소스 영역, 상기 기판내에 형성된 드레인 영역, 상기 소스 영역과 상기 드레인 영역 사이에서 상기 터널 유전체층 상에 형성된 비휘발성 저장 수단, 그리고 상기 비휘발성 저장 수단 상에 형성된 콘트롤 게이트를 갖는다.
- <108> 여기서 상기 두 개의 콘트롤 게이트들은 상기 액티브 영역의 길이 방향으로 일체로 형성된 하나의 콘트롤 플레이트 형태를 갖는다. 상기 콘트롤 플레이트 하

측에 위치한 상기 두 비휘발성 트랜지스터들의 소스들은 하나의 공통 소스 형태를 취한다.

<109> 본 발명의 실시예에서는 상기 두 개의 셀들을 갖는 비휘발성 메모리 장치를 예시한 것이나 상기 콘트롤 플레이트는 적어도 두 개의 콘트롤 게이트들에 해당되며, 상기 비휘발성 메모리 장치는 적어도 하나의 콘트롤 플레이트를 갖는다.

<110> 상기 선택 트랜지스터는 상기 기판내에 형성된 소스 영역, 상기 기판내에 형성된 드레인 영역, 그리고 상기 소스 영역과 상기 드레인 영역 사이에서 상기 터널 유전체층 상에 상기 비휘발성 저장 수단과 격리되어 형성된 선택 게이트를 갖는다.

<111> 여기서 상기 각 선택 트랜지스터의 소스는 상기 해당하는 비휘발성 저장 트랜지스터의 상기 드레인이고, 상기 각 선택 트랜지스터는 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결된다.

<112> 여기서 상기 각 선택 트랜지스터의 상기 소스는 상기 해당하는 비휘발성 저장 트랜지스터의 저장 게이트와 상기 터널 유전체층을 통해 프로그래밍 및 소거를 수행한다.

<113> 상기 각 선택 트랜지스터의 소스는 제 1 소스와 상기 제 1 소스 내에 형성되고 상기 제 1 소스와는 동일 타입이나 다른 불순물 농도를 갖는 제 2 소스를 포함할 수 있다.

<114>       상기 제 1 소스는 상기 해당하는 비휘발성 저장 트랜지스터의 상기 저장 게이트와 상기 터널 유전체층을 통해 프로그래밍을 수행하고 상기 제 2 소스는 상기 저장 게이트와 상기 터널 유전체층을 통해 소거를 수행한다. 이에 대해 이후에 보다 상세히 설명할 것이다.

<115>       여기서, 상기 프로그래밍은 핫 캐리어 인젝션에 의해 수행되고, 상기 소거는 터널링에 수행될 수 있다.

<116>       이하에서, 상기 제 1 실시예를 보다 상세히 설명하기로 한다.

<117>       상기 각 비휘발성 메모리 셀의 선택 트랜지스터(31)는 상기 해당하는 비휘발성 저장 트랜지스터(30)를 선택 또는 차단하기 위한 선택 게이트(36), 소스(34) 터미널, 그리고 드레인(35) 터미널로 구성된다.

<118>       상기 비휘발성 저장 트랜지스터(30)는 이웃 셀과 공통하는 하나의 몸체로 구성된 콘트롤 플레이트(control plate)(38), 공통 소스(33) 터미널, 그리고 드레인(34) 터미널로 구성된다. 여기서, 상기 선택 트랜지스터(31)의 소스(34)와 상기 해당하는 비휘발성 저장 트랜지스터(30)의 상기 드레인(34) 터미널은 하나의 터미널로 형성된다.

<119>       여기서, 인접한 두 셀들의 소스들은 공통 소스 터미널이다.

<120>       전술한 바와 같이, 상기 이웃한 두 셀들의 비휘발성 저장 트랜지스터(30)들은 하나의 콘트롤 플레이트(control plate)(38)으로 연결되어 있다. 한편, 상기 각 셀은 상기의 콘트롤 플레이트(38) 중 해당하는 부분과 이 해당하는 부분의 하측에서 상기 기판내에 형성된 채널과 이 채널 양측에 각각 위치한 소스 영역 및

드레인 영역, 그리고 상기 해당하는 부분 하측에 위치되고 상기 채널의 전도도를 제어하는 비휘발성 저장수단으로 플로팅 게이트(37)가 구성된다.

<121> 물론, 상기 비휘발성 저장수단은 전하를 저장하는 도전체로서 플로팅 게이트일 수도 있고 상기 전하를 저장하는 비도전체인 유전 물질일 수도 있다.

<122> 또한, 상기 비휘발성 저장 수단은 전기장의 형태로 데이터가 저장되는 강유전체 물질일 수도 있다.

<123> 상기 비휘발성 저장 수단이 SONOS에서와 같이 유전 물질인 경우에는 상기 유전 물질위에 플로팅 게이트없이 콘트롤판이 형성되고, 이 콘트롤 플레이트를 구성하는 도전 물질과 선택 게이트를 구성하는 도전 물질(예:폴리 실리콘)은 동일할 수도 있다.

<124> 따라서, 이 경우에는 하나의 게이트 물질로 셀을 형성시킬 수 있다.

<125> 또한, 상기 콘트롤 플레이트 중 상기 각 비휘발성 저장 트랜지스터에 해당하는 부분은 상기 채널 영역의 일부에만 걸쳐 있을 수도 있다.

<126> 또한 상기 비휘발성 저장수단은 상기 채널 상의 일부 또는 전체 또는 가장 자리에만 위치할 수도 있다.

<127> 상기 콘트롤 플레이트는 하나의 몸체로 동일 공정으로 형성될 수도 있고 서로 다른 공정에 의해 진행된 후 하나의 전기적 도체 몸체로 연결될 수도 있다.

<128> 이러한 저장 수단 및 콘트롤 플레이트에 관한 사항은 본 발명의 모든 실시예에 적용된다.



- <129>        상기 제 1 실시예는 P형(P-type) 반도체 기판 위에 NMOS 트랜지스터를 가정한 것이다. 이와는 반대로 N형 기판 위에 PMOS 트랜지스터 셀이 형성될 수도 있다. 이 경우는 상기 NMOS와 극성을 반대로 하면 동일하게 상기 PMOS를 실시하는 것이 가능하다.
- <130>        도 3b는 본 발명의 제 1 실시예에 따른 비휘발성 메모리 어레이를 보여주는 다이어그램이다. 즉, 도 3a의 비휘발성 메모리 장치를 기본 단위로 한 어레이이다.
- <131>        고집적의 어레이를 구성하기 위해서 도 3a의 회로를 기본 단위로 하여 비휘발성 메모리 장치들을 매트릭스 형태로 배열하여 임의의 사이즈의 비휘발성 메모리 어레이를 쉽게 구성할 수 있다.
- <132>        어레이 구성에 관하여 구체적으로 설명하면, 열 방향으로 배열된 복수개의 비트 라인과, 행 방향으로 배열된 복수개의 워드 라인과, 상기 행 방향으로 배열된 복수개의 소스 라인과, 상기 행 방향으로 배열된 복수개의 콘트롤 플레이트 라인과, 상기 라인들 사이에 형성된 복수개의 비휘발성 메모리 셀들을 포함한다.
- <133>        여기서, 각 셀은 도 3a의 구성을 기본으로 하여, 해당 채널 영역상에 비휘발성 저장 수단을 갖고 상기 소스 라인에 공통으로 연결되는 하나 이상의 저장 트랜지스터들과, 상기 저장 트랜지스터들에 각각 대응하여 적어도 하나 이상 직렬 연결 구성되고 게이트들은 상기 워드 라인에 연결되고 드레인 비트 라인에 연결되는 선택 트랜지스터들을 포함하고, 상기 하나 이상의 저장 트랜지스터들의 비휘발성 저장 수단의 상측에 유전체를 사이에 두고 일체형으로 구성되어 상기 콘트롤 플레이트 라인에 연결되는 콘트롤 플레이트를 포함한다.

<134> 여기서, 상기 각 선택 트랜지스터의 소스는 상기 해당하는 비휘발성 저장 트랜지스터의 상기 드레인이고, 상기 각 선택 트랜지스터는 상기 각 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결되고, 상기 콘트롤 게이트들은 적어도 두 개의 단위로 상기 액티브 영역의 길이 방향으로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖으며 상기 각 콘트롤 플레이트 하측에 위치한 상기 적어도 두 개의 소스들은 하나의 공통 소스 형태를 취하고, 상기 각 선택 트랜지스터의 소스는 상기 해당하는 비휘발성 저장 트랜지스터의 비휘발성 저장 수단과 상기 터널 유전체층을 통해 프로그래밍 및 소거를 수행하고, 상기 각 선택 트랜지스터의 드레인은 상기 열(column) 방향의 하나의 해당하는 비트 라인에 접속되고, 상기 각 셀의 공통 소스는 상기 행(row) 방향의 하나의 해당하는 소스 라인에 연결되고, 상기 각 선택 트랜지스터의 상기 선택 게이트는 상기 행 방향의 하나의 해당하는 워드 라인에 연결되고, 그리고 상기 적어도 이웃한 두 셀들을 공통하는 상기 각 콘트롤 플레이트는 하나의 해당하는 콘트롤 플레이트 라인에 연결된다.

<135> 여기서, 상기 콘트롤 플레이트 라인이나 상기 워드 라인은 각각 상기 콘트롤 플레이트와 상기 선택 게이트와 동일 전도 물질로 동일 공정으로 형성될 수 있다.

<136> 이와 같은 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 프로그래밍, 소거, 리드 동작을 플래시 메모리 모드와 EEPROM 모드로 나누어 설명하면 다음과 같다.

<137> 도 3c는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리가 플래시 메모리 모드로 동작하기 위한 조건 테이블이고, 도 3d는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리가 EEPROM 모드로 동작하기 위한 조건 테이블이다.

<138> 여기서, 도 3c는 선택된 셀에 해당하는 동작 조건 테이블이다.

<139> 동작 조건은 주로 플로팅 게이트 또는 유전체에 전하의 형태로 데이터를 쓰고 지우는 경우에 해당한다.

<140> 도 3a에서 선택된 셀의 프로그래밍 동작은 채널 핫 캐리어 인젝션(channel hot electron injection; 채널 열전자 주입) 메카니즘을 이용하고 소거 동작은 터널링 메카니즘을 이용한다.

<141> 프로그래밍시 비휘발성 저장 트랜지스터로 전류가 통과될 수 있도록 선택된 셀의 선택 게이트에는 입력 전압  $V_{cc}$ 와 고전압 회로에서 승압된 10V 사이의 전압을 인가하고 콘트롤판에는 -7V에서 10V 사이의 값을 인가하고 드레인과 소스 양단에는 비휘발성 저장 트랜지스터의 채널에 열전자가 발생될 수 있는 전계가 형성될 수 있도록 전압을 인가한다.

<142>  $V_{cc}$ 는 5V, 3.3V, 1.8V 등이며 1.8V 이하로 점점 낮아지고 있다.

<143> 일반적으로 채널 핫 캐리어 인젝션을 이용하는 프로그래밍 방식에서는 프로그래밍 속도가 매우 빠르지만 각 셀당 수백  $\mu A$  이상의 고전류가 소모되는 문제점이 있다.

- <144> 특히 이러한 프로그래밍 전류는 일반적으로 전력 효율이 나쁜 승압 회로에서 승압한 고전압으로 공급해야 하므로 회로 블록의 사이즈가 커지거나 입력 전압이 낮을 경우에는 전류 공급 회로를 구현하기 어려울 수 있다.
- <145> 종래 기술의 이중 트랜지스터 구조의 셀에 이러한 프로그래밍 방식을 그대로 적용하면 수백 $\mu$ A 이상의 고전류를 통과시키기 위해 선택 트랜지스터의 폭을 매우 크게 하거나 또는 선택 게이트에 그만큼의 전류를 흘릴 수 있도록 고전압을 인가해야하는 문제점이 있으므로 종래의 이중 트랜지스터 셀에서는 채널 열전자 방식을 사용하지 않고 대신 속도가 느리지만 전류 소모가 적은 파울러-노드하임 터널링(FN tunneling) 또는 접합부 애벌런치(Junction Avalanche) 메커니즘을 이용하였다.
- <146> 본 발명에서는 이러한 문제점을 해결하기 위해 첫째, 셀의 채널이 형성되는 기판과 소스 터미널 사이에 일정 수준의 역방향 전압을 인가하여 프로그램 전류를 크게 줄일 뿐만 아니라 종래 기술보다 수 배 이상으로 프로그래밍 효율을 증대시킨다.
- <147> 예를들면 기판 전압은 0V로 두고 소스 전압을 0V보다 크고 드레인에 인가한 전압보다 작은 값(0~2V)을 인가할 수 있다.
- <148> 또 다른 예는 채널이 형성되는 P형 기판(트리플 웰(triple well) 구조에서는 N형 웰 속의 P형 웰(도 4d))에 -5V ~ 0V사이의 네거티브 전압을 인가하고 드레인에는 1 ~ 6V 사이의 값을, 소스에는 0 ~ 2V 사이의 값을 인가할 수도 있다.

- <149> 이러한 백 바이어스 효과에 의해 프로그램 효율을 증대시킬 수 있을 뿐만 아니라 소모 전류도 줄일 수 있으며 이에 대한 물리적인 현상은 이미 잘 알려진 사실이다.
- <150> 둘째, 상기 콘트롤 플레이트의 전압을 저전압에서부터 순차적으로 서서히 증가시키면서 프로그래밍을 실시하거나 또는 상기 두 방법을 같이 혼용함으로써 저전류의 고속 채널 핫 캐리어 인젝션 프로그래밍을 구현할 수 있다.
- <151> 상기 콘트롤 플레이트의 전압을 서서히 증가시키면서 프로그래밍을 하면 프로그래밍 시의 셀의 소모 전류를 줄일 수 있다.
- <152> 상기 콘트롤 플레이트의 전압은 선형적으로 또는 계단형으로 증가시킬 수 있다.
- <153> 이러한 전압 램핑(voltage ramping) 방법은 잘 알려진 사실이다.
- <154> 도 3c에서 상기 콘트롤 플레이트의 전압은 따라서 -7V와 10V 사이의 어느 고정된 값으로 프로그래밍할 수도 있고 어느 값에서 출발하여 그 보다 높은 어느 값으로 순차적으로 올리면서 프로그래밍할 수도 있다.
- <155> 상기 셀의 어레이에서 프로그래밍 또는 리드시에 선택되지 않은 셀의 선택 게이트는 0V 또는 접지시킨다.
- <156> 상기 프로그램 방식에 있어서, 선택된 셀 뿐만아니라 선택된 셀의 워드 라인을 공유하는 선택되지 않은 셀들의 선택 트랜지스터도 ON되므로 상기 선택되지 않은 셀의 소스와 드레인 사이에는 동일한 전압이 인가되어야 상기 선택되지 않은 셀들을 통한 누설 전류를 막을 수 있다. 따라서 상기 선택된 셀에 소스 전압

을 인가하여 프로그래밍하는 경우에는 선택된 워드 라인과 교차하는 각 비트 라인에 상기 소스 전압과 동일한 전압을 인가하여 누설 전류를 막을 수도 있다.

<157> 또한 상기 프로그래밍시에 상기 콘트롤 플레이트에 인가되는 전압에 대하여 상기 셀의 채널 전류를 센스 앰프를 이용하여 모니터링하고 모니터링된 전류가 정해진 기준 전류에 도달시 해당 프로그램을 종료시키는 방법을 사용할 수도 있다. 이 경우 상기 프로그래밍의 종료는 드레인과 소스 사이의 전압차를 제로로 만들거나 또는 선택 트랜지스터를 OFF시키거나 또는 저장 트랜지스터를 OFF시킬 수도 있다.

<158> 물론 본 발명의 셀에서 필요할 경우에는 프로그래밍을 종래의 터널링 또는 접합부 애벌런치 방식으로 실시할 수도 있다.

<159> 한편 상기 소거에 있어서는 상기 콘트롤 플레이트에 -13V에서 -5V 사이의 전압을 인가하고 소스 터미널에 0에서 8V 사이의 전압을 인가하여 플로팅 게이트와 소스 사이에 고전계가 걸리게 하여 터널링에 의해 저장된 전하를 소스 터미널로 소거하거나 또는 콘트롤 플레이트에는 0V를 인가하고 소스 터미널에만 포지티브의 고전압을 인가하여 포지티브 전압만을 사용하여 소거할 수도 있다.

<160> 이때 선택 게이트는 플로우트 시키거나 0V를 인가하거나 또는 상기 콘트롤 플레이트에 네거티브 전압을 사용하는 경우에는 약간의 네거티브 전압을 인가할 수도 있으며 드레인 터미널은 플로우트 시키거나 또는 0V 또는 임의의 전압을 인가할 수도 있다.

- <161> 도 3c는 플래시 메모리 동작 모드이므로 상기 소거는 블록 단위로 이루어진다.
- <162> 한편 P형 기판위에 N형 웰(deep N well)을 형성시키고 그 안에 P형 웰을 형성시켜 상기 P형 웰내에 본 발명의 메모리를 형성시킬 경우에는 도 3c의 트리플 웰 경우와 같이 콘트롤 플레이트에 -13 ~ 0V 사이의 값을 인가하고 P웰에  $V_{cc}$  ~ 13V 사이의 값을 인가하여 플로팅 게이트의 전하를 P웰 쪽으로 소거할 수도 있다.
- <163> 이때 소스 및 드레인 터미널은 순방향으로 턴온되므로 플로우트시키거나 또는 P웰 전압과 동일한 전압을 인가할 수 있으며 상기 N웰은 P웰과 같거나 높은 전압( $V_{cc}$  ~ 13V)을 인가하여 P웰과 N웰 사이가 ON되지 않도록 한다.
- <164> 또한 선택된 셀 또는 선택된 소거 블록의 선택 게이트는 플로팅 또는 0V 또는 P웰 전압과 동일한 전압을 인가할 수 있고 선택되지 않은 셀 또는 소거 블록의 선택 게이트는 플로팅 또는 P웰 전압과 동일한 전압을 인가할 수 있다.
- <165> 본 발명의 비휘발성 메모리가 상기의 트리플 웰 상에 형성되어 있을 경우에는 소거시에 선택되지 않은 셀의 콘트롤 플레이트를 플로우트시키거나 0V를 인가할 수 있으며,  $V_{cc}$ 에서 13V 사이의 전압을 인가하여 선택되지 않은 셀의 전하의 손실을 막을 수도 있다.
- <166> 리드 동작시에는 선택된 셀의 선택 게이트에 입력 전압  $V_{cc}$  또는 승압 전압을 7V 정도까지 셀의 설계 조건에 따라 인가하여 선택 트랜지스터를 턴온시키고 콘트롤 플레이트에는 단일 비트 또는 멀티 비트 또는 요구되는 리드 전류의 양에

따라 0에서 대략 7V 사이의 전압을 인가하고 드레인에는 0.5에서 2V, 소스에는 동작 조건에 따라 0에서 1.5V의 전압을 인가하여 비휘발성 저장 트랜지스터의 전류 레벨을 비트 라인에 연결된 센싱 회로를 통하여 센싱한다.

<167> 이와 같은 센싱 동작은 트리플 웰 구조에서도 동일하게 이루어지는 것이 당연하다.

<168> 그리고 도 3d는 도 3a의 셀을 하나의 셀 단위로 소거 및 프로그래밍할 수 있는 이이피롬 동작 모드의 동작 조건을 하나의 실시예로 보인 것이다.

<169> 이중 트랜지스터 셀의 선택 게이트는 선택된 셀에만 프로그래밍 및 소거가 가능하게 해주므로 이이피롬이 가능해진다.

<170> 이러한 이이피롬 기능은 단일 트랜지스터 셀에서는 구현이 불가능하다. 따라서 본 발명에 따른 이중 트랜지스터 비휘발성 메모리 셀은 플래시 메모리 모드 또는 이이피롬 모드가 모두 가능하다.

<171> 즉, 어느 경우에도 프로그래밍은 각 셀 단위로 선택적으로 실시가 가능하다. 다만 플래시 메모리는 전술한 바와 같이, 소거 시에 블록 단위로 소거한다는 점이 다르다.

<172> 따라서 도 3d에 나타낸 프로그래밍 조건은 도 3c에서 나타낸 플래시 메모리 모드의 조건과 동일하다.

<173> 한편, 소거 시에는 선택된 셀의 콘트롤 플레이트에는 -10V에서 -3V 사이의 네거티브 전압이 인가되고, 상기 선택된 셀에 속하는 선택 트랜지스터의 드레인



에는 비트 라인을 통하여 Vcc에서 10V 사이의 전압이 인가되고, 상기 선택된 셀에 속하는 선택 게이트에는 Vcc에서 10V 사이의 포지티브 전압이 인가된다.

<174> 따라서, 상기 드레인에 인가된 전압이 상기 선택 트랜지스터를 통과하여 상기 비휘발성 저장 트랜지스터의 드레인(즉, 선택 트랜지스터의 소스)에 인가되도록 한다.

<175> 이 때 상기 선택된 셀의 소스 터미널은 플로우트되거나 또는 접지시킨다. 이렇게 하여 선택된 셀의 플로팅 게이트(또는 저장 수단)와 비휘발성 저장 트랜지스터의 드레인 사이의 강한 전기에 의해 플로팅 게이트의 전하가 비휘발성 저장 트랜지스터의 드레인 터미널로 소거된다.

<176> 선택되지 않은 셀들은 프로그래밍 시와 마찬가지로 선택 트랜지스터의 채널을 차단(OFF)시켜서 비트 라인 전압이 비휘발성 저장 트랜지스터의 드레인으로 전달되지 않도록 함으로써 선택되지 않은 셀의 소거를 방지한다.

<177> 또는 콘트롤 플레이트에는 0V를 인가하고 비트 라인을 통하여 드레인 터미널에 7 ~ 13V사이의 포지티브 고전압을 인가하고 워드 라인을 통하여 선택된 셀의 선택 게이트에 7 ~ 15V사이의 값을 인가함으로써 포지티브 전압만을 사용하여 소거할 수도 있다.

<178> 이와 같은 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 레이아웃 및 단면 구조 그리고 제조 공정에 관하여 설명하면 다음과 같다.

<179> 도 4a는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 레이아웃 구성도이다.

- <180> 그리고 도 4b는 도 4a의 A-A'선에 따른 구조 단면도이고, 도 4c는 도 4a의 B-B'선에 따른 구조 단면도이다.
- <181> 도 4d는 트리플 웰 구조로 형성한 경우의 도 4a의 A-A'선에 따른 구조 단면도이다.
- <182> 도 4a는 전하 저장 수단이 플로팅 게이트인 경우를 나타낸 것이다.
- <183> 4개 이상의 셀 어레이를 구성할 때는 도 4a의 구조를 주기로 하여 반복시켜 배치하면 된다.
- <184> 도 4a와 도 4b에서 두 개의 셀이 중앙의 공통 소스 영역(41)을 중심으로 좌우 대칭 모양으로 배치되었으며, 각 셀의 활성 영역(active region)(42)은 필드 영역(43)들(field isolation region)에 의해서 분리되고 활성 영역 상에 플로팅 게이트(44)와 선택 게이트(45)가 직렬로 배치되며 플로팅 게이트(44)와 선택 게이트(45)의 좌우에 각각 소스/드레인 영역(46a)(46b)(46c)(46d)(46e)이 형성된다.
- <185> 두 셀의 드레인은 콘택 접합부에 의해 비트 라인에 연결되고 소스 영역은 공통 영역으로 형성되어 소스 확산 영역에 의해 상기 비트 라인과 수직인 방향으로 소스 라인을 형성한다.
- <186> 또한, 도 4b에서 저장 트랜지스터 드레인 영역의 접합부(junction)의 프로파일(profile)은 ㉠ 모양으로 형성시킬 수도 있고, 프로그래밍 및 소거시에 전하가 터널 산화막을 통과하는 지점을 분리하기 위하여 ㉠과 ㉡ 또는 ㉠과 ㉢의 이

중 프로파일을 형성시킬 수도 있다. 이때 ㉠ 영역은 ㉢ 또는 ㉡영역에 비해 확산의 깊이가 얇고 대신 농도가 높다.

<187> 이것을 달성하기 위해 확산 계수가 다른 인(P)과 비소(As)의 이중 이온 주입을 이용할 수 있고, ㉢모양의 프로파일을 달성하기 위해서는 저장 트랜지스터의 드레인 영역 중간에서부터 플로팅 게이트 중간 영역까지 포토 리소그래피로 개방한 후 이온 주입을 실시할 수 있다.

<188> 이러한 공정은 이미 잘 알려진 공정이다.

<189> 한편 이렇게 이중 접합 구조를 만들면 채널 영역 깊이 확산된 지점에서는 프로그래밍시 열전자가 발생되어 플로팅 게이트로 주입된다.

<190> 반면에 얇게 확산된 지점에서는 농도가 높으므로 기판 표면의 전하 디플리션 폭이 좁아 플로팅 게이트와의 사이에 더 강한 전계가 걸리게 되며 따라서 주로 이 지점으로 터널링에 의해 전하가 소거된다. 이렇게 하여 동일 접합부위에서 프로그래밍 및 소거를 실시하여도 산화막의 열화를 줄이고 비휘발성 메모리의 수명 및 신뢰성을 개선시킬 수 있다.

<191> 한편 본 발명 셀의 콘트롤 플레이트(47)은 이웃한 두 셀의 플로팅 게이트를 커버하면서 하나의 판으로 형성된다.

<192> 여기서 상기 공통 소스 영역은 좌우의 플로팅 게이트와 셀프 얼라인(self-align)으로 형성되며 그 위의 콘트롤 플레이트는 각 셀마다 분리되지 않고 하나의 판으로 형성되므로 소스 영역의 길이를 포토 리소그래피 한계까지 최소로 작게 할 수 있다.

- <193> 또한 상기 콘트롤 플레이트는 플로팅 게이트와 선택 게이트 사이에서 정의 되면 되므로 결과적으로 상기 콘트롤 플레이트를 형성하는 공정은 포토 리소그래피의 톨러런스에 무관하게 실시될 수 있다.
- <194> 또는 선택 트랜지스터의 게이트를 콘트롤 플레이트보다 먼저 형성시키는 경우 콘트롤 플레이트의 가장자리가 선택 트랜지스터의 게이트 위에 오도록 형성시킬 수도 있으며(M) 또는 선택 게이트를 감싸도록 정의할 수도 있다.(N)
- <195> 이러한 콘트롤 플레이트를 정의하는 방법은 본 발명의 모든 실시예에 동일하게 적용될 수 있다.
- <196> 만약, 선택 게이트와 플로팅 게이트를 먼저 형성시키고 콘트롤 플레이트를 그 후에 형성시키고 콘트롤 플레이트의 가장 자리를 플로팅 게이트와 선택 게이트 사이에서 정의하면 임베디드 비휘발성 메모리의 응용에 유리하다. 왜냐하면 이 경우 콘트롤 플레이트는 로직 소자의 게이트 물질(예: 폴리 실리콘)과 동일한 물질을 이용할 수 있을뿐만 아니라 선택 게이트의 상부와 로직 소자 및 콘트롤 플레이트의 상부를 동시에 개방시켜 동시에 금속 실리사이드(metal silicide)를 형성시킬 수 있기 때문이다.
- <197> 실리사이드는 소스/드레인 등의 실리콘 또는 폴리 실리콘의 표면을 Ti(Titanium) 또는 Co(Cobalt)와 같은 금속 화합물로 만들어 접촉 저항과 배선 저항을 줄이는 기술로서 로직 공정의 기본 기술로 이용되고 있다.
- <198> 도 4d는 도 4b와 거의 동일하나 상기 기판이 트리플 웰(triple well) 구조를 갖는다는 것만이 다르다.

- <199> 도 4d에 따르면, P형 기판(48)내에 N형 웰(49)이 형성되고, 상기 N형 웰(49)내에 P형 웰(50)이 형성된다.
- <200> 이 P형 웰(50)내에 비휘발성 메모리가 형성된다. 이와 같은 트리플 웰 구조를 갖는 비휘발성 메모리 장치를 위한 프로그래밍, 소거, 그리고 리드 전압 조건들은 도 3c와 도 3d에서의 예와 같다.
- <201> 이와 같은 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 제조 공정은 다음과 같이 진행될 수 있다.
- <202> 도 5a와 도 5b는 본 발명의 제 1 실시예에 따른 반도체 비휘발성 메모리의 제조를 위한 공정 단면도이다.
- <203> 먼저, 도 5a(도 4a의 A-A'선 및 B-B'선에 따른 단면을 같이 도시)에서와 같이, 반도체 기판(51)위에 필드 분리 영역(52)과 활성 영역을 정의한 후 활성 영역 상에 터널 산화막(53)을 형성한다.
- <204> 이어, 상기 터널 산화막(53)상에 첫 번째 도체, 주로 폴리 실리콘 필름을 도포한 후 포토 리소그래피 및 후속 식각 공정으로 플로팅 게이트(54)와 선택 게이트(55)를 형성시킨다.
- <205> 그리고 상기 플로팅 게이트(54)와 선택 게이트(55)를 마스크로 하여 불순물 이온을 주입하여 소오스/드레인 영역들을 형성한다.
- <206> 여기서, 선택 게이트(55) 하부의 게이트 산화막을 플로팅 게이트(54) 하부의 터널 산화막과 분리하여 터널 산화막보다 두꺼운 고전압 산화막으로 형성시킬 수도 있다.

- <207> 그리고 도 5b에서와 같이, 얇은 유전 물질층(56)을 형성시킨 후 그 위에 두 번째 폴리 실리콘을 형성시킨다.
- <208> 이때, 유전 물질은 열산화에 의해 형성될 수도 있고 CVD(Chemical Vapour Deposition) 공정에 의해 형성될 수도 있고 ONO(Oxide-Nitride-Oxide)등의 복합 물질일 수도 있다.
- <209> 이어, 두 번째 도체로, 주로 폴리 실리콘 필름을 증착한 후에 포토 리소그 래피 공정으로 콘트롤 플레이트(57)을 정의한다.
- <210> 이와 같은 제조 공정은 반도체 소자 제조 분야에서 일반적으로 널리 사용되 는 공정이므로 자세한 공정 조건은 설명하지 않는다.
- <211> 이와 같이 본 발명의 비휘발성 메모리는 공정이 매우 단순하며 따라서 시스템 칩을 위해 로직 공정과 안정되고 쉽게 임베디드화시킬 수 있다.
- <212> 이하에서 본 발명의 제 2 실시예에 따른 반도체 비휘발성 메모리에 관하여 설명한다.
- <213> 도 6a와 도 6b는 본 발명의 제 2 실시예에 따른 반도체 비휘발성 메모리의 어레이 구성도 및 단위 셀 구성도이다.
- <214> 본 발명의 제 2 실시예는 도 3a내지 도 3d 그리고 도 4a내지 도 4d 그리고 도 5a와 도 5b에서 나타낸 제 1 실시예와 셀 구조는 동일하고 어레이 구조를 다르게 한 것이다.
- <215> 도 6a에서와 같이, 각 셀의 드레인선 비트 라인에 연결되고 각 비트 라인은 셀의 채널 방향과 수직으로 구성된다.

- <216> 그리고 각 셀의 선택 게이트는 비트 라인과 수직 방향의 워드 라인에 연결되고 워드 라인은 따라서 셀의 채널 방향과 동일한 방향으로 구성된다. 각 셀의 소스는 비트 라인과 동일 방향의 소스 라인에 연결되고 콘트롤 플레이트는 콘트롤 플레이트 라인에 연결되어 비트 라인과 동일 방향으로 구성된다.
- <217> 도 6b는 상기 셀의 레이아웃 구성을 나타낸 것으로 이것에 한정되지 않고 다른 형태로 레이아웃을 구성할 수 있음은 당연하다.
- <218> 도 6b에서는 각 선택 게이트에 콘택을 형성하여 워드 라인과 접속하고 비트 라인은 확산 영역으로 형성한 것이다. 이 경우 비트 라인의 저항이 크므로 수개 또는 수십개의 행(워드 라인) 단위로 저항이 작은 금속 배선을 콘택시켜 평행하게 접속시킬 수 있다.
- <219> 또한 폴리 실리콘 및 확산 영역의 저항을 줄이기 위해 업체에서 일반적으로 사용하는 텅스텐 또는 코발트 등의 금속을 폴리 실리콘과 결합시키는 폴리사이드를 사용할 수도 있다. 이러한 공정은 이미 잘 알려진 공정 기술이고 본 발명의 실시예들 모두에 적용될 수 있다.
- <220> 이와 같은 본 발명의 제 2 실시예에 따른 반도체 비휘발성 메모리는 다음의 동작 조건에 의해 플래시 모드 또는 EEPROM 모드로 동작될 수 있다.
- <221> 도 6c는 본 발명의 제 2 실시예에 따른 반도체 비휘발성 메모리가 플래시 메모리 모드로 동작하기 위한 조건 테이블이고, 도 6d는 본 발명의 제 2 실시예에 따른 반도체 비휘발성 메모리가 EEPROM 모드로 동작하기 위한 조건 테이블이다.

- <222> 도 6c를 참고하여 셀 어레이를 플래시 모드로 동작하는 경우를 설명하면 다음과 같다.
- <223> 프로그래밍 시에는 제 1 실시예와 마찬가지로 채널 핫 캐리어 인젝션을 이용하고 소거 시에는 터널링을 이용하며 셀의 동작 조건은 도 3a에 나타낸 셀의 실시예와 동일하다.
- <224> 다만 하나의 차이점은 리드 또는 프로그래밍 시에 선택된 셀의 소스에 전압  $V_s$ 를 인가할 경우 선택된 셀의 워드 라인과 소스를 공유하는 맞은 편 셀의 드레인에 연결된 비트 라인에 소스 전압과 동일한  $V_s$ 를 인가하여 누설 전류를 막는다는 점이다.
- <225> 여기서 워드 라인은 소스를 공유하는 두 셀의 선택 게이트를 동시에 턴온시키고 또한 콘트롤 플레이트는 이웃한 상기 두셀의 저장 트랜지스터를 턴온시키므로 상기 선택되지 않은 이웃 셀은 턴온 상태에 있으므로 공통 소스 전압과 동일한 전압을 드레인에 인가해야 한다.
- <226> 여기서 비록 워드 라인에 의해 이웃한 두 셀이 턴온되지만 비트 라인이 모두 분리되어 워드 라인과 수직으로 달리므로 셀의 선택적 동작에는 아무런 문제가 없다.
- <227> 마찬가지로 도 6d의 이이퍼롬 동작 모드도 도 3d의 실시예와 동일하고 위에서 설명한  $V_s$  효과만 다르다.
- <228> 이하에서 본 발명의 제 3 실시예에 따른 반도체 비휘발성 메모리에 관하여 설명한다.



- <229> 도 7a와 도 7b는 본 발명의 제 3 실시예에 따른 반도체 비휘발성 메모리의 셀 구성도 및 어레이 구성도이고, 도 7c는 본 발명의 제 3 실시예에 따른 반도체 비휘발성 메모리가 플래시 메모리 모드로 동작하기 위한 조건 테이블이다.
- <230> 본 발명의 제 3 실시예는 제 1 실시예에서 각 셀의 소스와 드레인 터미널이 뒤바뀐 경우이며 콘트롤 플레이트를 포함한 나머지 구조는 동일하다.
- <231> 따라서 셀의 드레인은 저장 트랜지스터의 드레인이 되며 셀의 소스는 선택 트랜지스터의 소스가 된다.
- <232> 기본적으로 각 셀(72)은 선택 트랜지스터(select transistor)(71)와 이 선택 트랜지스터(71)와 직렬 연결된 비휘발성 저장 트랜지스터(non-volatile storage transistor)(70)를 포함하는 이중 트랜지스터 구조를 갖는다.
- <233> 상기 각 비휘발성 메모리 셀의 선택 트랜지스터(71)는 상기 해당하는 비휘발성 저장 트랜지스터(70)를 선택 또는 차단하기 위한 선택 게이트(76), 소스(75) 터미널, 그리고 드레인(74) 터미널로 구성된다.
- <234> 상기 비휘발성 저장 트랜지스터(70)는 이웃 셀과 공통하는 하나의 몸체로 구성된 콘트롤 플레이트(control plate)(78), 공통 드레인(73) 터미널, 그리고 소스(74) 터미널로 구성된다. 여기서, 상기 선택 트랜지스터(71)의 드레인(74)와 상기 해당하는 비휘발성 저장 트랜지스터(70)의 상기 소스(74) 터미널은 하나의 터미널로 형성된다.
- <235> 여기서, 인접한 두 셀들의 소스들은 공통 드레인 터미널이다.

<236>        전술한 바와 같이, 상기 이웃한 두 셀들의 비휘발성 저장 트랜지스터(70)들은 하나의 콘트롤 플레이트(control plate)(78)으로 연결되어 있다. 한편, 상기 각 셀은 상기의 콘트롤 플레이트(78) 중 해당하는 부분과 이 해당하는 부분의 하측에서 상기 기판내에 형성된 채널과 이 채널 양측에 각각 위치한 소스 영역 및 드레인 영역, 그리고 상기 해당하는 부분 하측에 위치되고 상기 채널의 전도도를 제어하는 비휘발성 저장수단(77)이 구성된다.

<237>        도 7b의 어레이는 본 발명의 제 1 실시예를 나타낸 도 3b의 어레이와 기본 구조는 동일하지만 여기서는 저장 트랜지스터의 드레인이 비트 라인에 접속된다는 점이 다르다.

<238>        도 7c는 제 3 실시예의 셀의 플래시 모드 동작 실시 예이다.

<239>        프로그래밍 동작 조건은 제 2 실시예와 기본적으로 동일하고 다만 이 경우 선택 게이트가 셀의 소스 쪽에 위치하므로 선택 게이트에 인가되는 워드 라인 전압은 제 1 실시예의 경우보다 낮을 수도 있다.

<240>        리드 또는 프로그래밍시에 소스 라인과 선택되지 않은 비트 라인에는 항상 전압  $V_s(0 \sim 2V)$ 를 인가하고, 선택된 셀의 비트 라인에는 프로그래밍시에 2 ~ 7V, 리드시에 0.5 ~ 2V의 전압을 인가한다.

<241>        소거 방식은 콘트롤 플레이트에 -10 ~ -5V 사이의 값을 인가하고 선택된 비트 라인에 0 ~ 8V 사이의 값을 인가하여 저장 수단의 전하가 방출되도록 하거나 또는 선택된 비트 라인에 8 ~ 13V 사이의 전압을 인가하여 동일 비트 라인 상의 셀들을 터널링에 의해 소거한다.

- <242> 또는 선택 게이트에  $V_{cc} \sim 10V$  사이의 전압을 인가하여 선택 트랜지스터를 턴온시키고 소스 라인에  $V_{cc} \sim 10V$  사이의 전압을 인가하고 콘트롤 플레이트에  $-10 \sim -3V$  사이의 전압을 인가하여 선택된 워드 라인의 셀들만 소거할 수 있다.
- <243> 트리플 웰의 경우에도 도 7c의 트리플 웰 조건으로 동작시킬 수 있고, 리드 동작은 제 1 실시예의 경우와 동일하게 적용된다.
- <244> 이와 같은 본 발명의 제 3 실시예에 따른 반도체 비휘발성 메모리의 레이아웃 구성 및 단면 구성은 다음과 같다.
- <245> 도 7d는 본 발명의 제 3 실시예에 따른 반도체 비휘발성 메모리의 레이아웃 구성도이다.
- <246> 그리고 도 7e는 도 7d의 비트 라인 콘택 영역에서의 콘트롤 플레이트 구성을 나타낸 평면 구성도이고, 도 7f는 도 7d의 C-C'선에 따른 구조 단면도이다.
- <247> 도 7d내지 도 7f에서와 같이, 두 개의 셀이 중앙의 공통 드레인 영역(73)을 중심으로 좌우 대칭 모양으로 배치되었으며, 각 셀의 활성 영역(active region)은 필드 영역들(field isolation region)에 의해서 분리되고 활성 영역 상에 저장 수단(77)과 선택 게이트(76)가 직렬로 배치되며 저장 수단(77)과 선택 게이트(76)의 좌우에 각각 소스/드레인 영역(80a)(80b)(80c)(80d)(80e)이 형성된다.
- <248> 두 셀의 공통 드레인(73)(80c)은 콘택 접합부(79a)에 의해 비트 라인에 연결되고 소스 영역(80b)(80d)는 소스 확산 영역에 의해 상기 비트 라인과 수직인 방향으로 소스 라인을 형성한다.

<249> 한편 본 발명 셀의 콘트롤 플레이트(78)은 이웃한 두 셀의 저장 수단(77)를 커버하면서 하나의 판으로 형성되고, 도 7e에서와 같이, 셀의 드레인 콘택 지점이 저장 수단(77)와 그에 이웃한 셀의 저장 수단(77)의 사이에 있으므로 콘트롤 플레이트(78)의 가운데 지점에 콘택 영역을 위한 홀(79b)이 형성된다.

<250> 이하에서 본 발명의 제 4 실시예에 따른 반도체 비휘발성 메모리에 관하여 설명한다.

<251> 도 8a와 도 8b는 본 발명의 제 4 실시예에 따른 반도체 비휘발성 메모리의 셀 및 어레이 구성도이다.

<252> 본 발명의 제 4 실시예는 이중 트랜지스터의 또 다른 실시 예로서 여기서는 나머지 부분은 도 7a의 제 3 실시예와 동일하고 다만 각 셀의 드레인을 분리 구성한 것이다.

<253> 기본적으로 각 셀(82)은 선택 트랜지스터(select transistor)(81)와 이 선택 트랜지스터(81)와 직렬 연결된 비휘발성 저장 트랜지스터(non-volatile storage transistor)(80)를 포함하는 이중 트랜지스터 구조를 갖는다.

<254> 상기 각 비휘발성 메모리 셀의 선택 트랜지스터(81)는 상기 해당하는 비휘발성 저장 트랜지스터(80)를 선택 또는 차단하기 위한 선택 게이트(86), 소스(85) 터미널, 그리고 드레인(84) 터미널로 구성된다.

<255> 상기 비휘발성 저장 트랜지스터(80)는 이웃 셀과 공통하는 하나의 몸체로 구성된 콘트롤 플레이트(control plate)(88), 그리고 서로 분리된 드레인(83a)(83b)터미널, 그리고 소스(84) 터미널로 구성된다. 여기서, 상기 선택 트

랜지스터(81)의 드레인(84)와 상기 해당하는 비휘발성 저장 트랜지스터(80)의 상기 소스(84) 터미널은 하나의 터미널로 형성된다.

<256> 전술한 바와 같이, 상기 이웃한 두 셀들의 비휘발성 저장 트랜지스터(80)들은 하나의 콘트롤 플레이트(control plate)(88)으로 연결되어 있다. 한편, 상기 각 셀은 상기의 콘트롤 플레이트(88) 중 해당하는 부분과 이 해당하는 부분의 하측에서 기판내에 형성된 채널과 이 채널 양측에 각각 위치한 소스 영역 및 드레인 영역, 그리고 상기 해당하는 부분 하측에 위치되고 상기 채널의 전도도를 제어하는 비휘발성 저장수단으로(87)으로 구성된다.

<257> 도 8b는 제 4 실시예의 어레이 구조를 나타낸 것으로 제 2 실시예의 어레이에서 드레인이 분리된 구조이다. 따라서 동작 조건은 도 6c 및 6d와 동일하다.

<258> 어레이의 전체 구성은 행 방향으로 배열되어 셀과 이웃하는 셀의 중앙에 위치하는 복수개의 콘트롤 플레이트 라인과, 상기 어느 하나의 콘트롤 플레이트 라인을 대응하여 그를 중앙에 두고 행 방향으로 배열된 복수개의 비트 라인과, 열 방향으로 배열된 복수개의 워드 라인과, 대응되는 상기 비트 라인과 사이에 적어도 하나 이상의 저장 트랜지스터들과 저장 트랜지스터들에 대응하는 적어도 하나 이상의 선택 트랜지스터들을 두고 행 방향으로 배열된 복수개의 소스 라인과, 상기 라인들 사이에 형성된 복수개의 비휘발성 메모리 단위 블록들로 구성된다.

<259> 여기서, 각 단위 블록은 해당 채널 영역상에 비휘발성 저장 수단을 갖고 상기 비트 라인에 각각 드레인 전극이 연결되는 하나 이상의 저장 트랜지스터들과, 상기 저장 트랜지스터들에 각각 대응하여 적어도 하나 이상 직렬 연결 구성되고

게이트들은 상기 워드 라인에 연결되고 각 소스가 상기 소스 라인에 연결되는 선택 트랜지스터들을 포함한다.

<260> 그리고 상기 하나 이상의 저장 트랜지스터들의 비휘발성 저장 수단의 상층에 유전체를 사이에 두고 일체형으로 형성되고 중앙에 오픈 영역을 갖고 구성되어 상기 콘트롤 플레이트 라인에 연결되는 콘트롤 플레이트를 포함한다.

<261> 지금까지 제시한 제 1,2,3,4 실시예들은 모두 선택 트랜지스터와 비휘발성 저장 트랜지스터의 채널이 접합부에 의해서 분리된 경우 즉 완전히 독립적인 두 트랜지스터를 단순히 직렬 연결한 경우이다.

<262> 이하에서 연속된 하나의 채널 상에 선택 게이트와 저장 트랜지스터의 게이트가 배치되는 스플릿 게이트 구조의 본 발명의 제 5 실시예에 따른 반도체 비휘발성 메모리에 관하여 설명한다.

<263> 도 9a와 도 9b는 본 발명의 제 5 실시예에 따른 스플릿 게이트 구조의 반도체 비휘발성 메모리의 셀 및 어레이 구성도이다.

<264> 그리고 도 9c는 본 발명의 제 5 실시예에 따른 반도체 비휘발성 메모리가 플래시 메모리 모드로 동작하기 위한 조건 테이블이다.

<265> 본 발명의 제 5 실시예는 도 9a에서와 같이, 두 개의 이웃한 셀이 대칭 구조로 연결되어 있으며 각 셀은 소스(91) 터미널과 드레인(92) 터미널을 갖고 드레인(92)터미널은 이웃한 두 셀이 하나의 드레인 터미널을 공통하고 있다.

- <266> 또한 각 셀의 비휘발성 저장 트랜지스터는 플로팅 게이트 또는 유전체 형태의 전하 저장 수단(93)을 갖고 전하 저장 트랜지스터를 제어하는 콘트롤 플레이트(94)이 이웃한 두 셀에 걸쳐 하나의 몸체로 구성되어 있다.
- <267> 그리고 각 셀을 선택하기 위한 선택 트랜지스터의 선택 게이트(95)가 각 셀의 비휘발성 저장 트랜지스터의 채널 영역에서 연속하는 채널 영역상에 전하 저장 수단(93)과 나란히 배치된다.
- <268> 여기서, 전하 저장 수단(93)과 선택 게이트(95)에 의해 이분되는 채널 영역의 비율은 가변적이다.
- <269> 도 9b는 도 9a의 어레이 구조를 나타낸 것으로, 각 셀의 소스는 채널과 수직 방향의 소스 라인에 연결되고 이웃한 두 셀의 공통 드레인은 채널 방향의 비트 라인에 연결되고 각 셀의 선택 게이트는 비트 라인과 수직인 워드 라인에 연결된다.
- <270> 그리고 이웃한 두 셀에 걸쳐 있는 콘트롤 플레이트는 워드 라인과 평행한 콘트롤 플레이트 라인에 연결되어 있다.
- <271> 도 9c는 상기 셀의 동작 조건의 실시예를 나타낸 것으로, 프로그래밍은 소위 소스 사이드 인젝션 방식을 이용할 수 있다.
- <272> 즉, 선택된 셀의 드레인에는 2 ~ 8V의 전압을 인가하고 콘트롤 플레이트에는 저장 트랜지스터의 상태에 따라 -5 ~ 10V 사이의 전압을 인가하여 저장 트랜지스터가 턴온되도록 하고, 선택 게이트에는 선택 트랜지스터의 문턱 전압보다 약간 높은 전압을 인가하고 소스에는 드레인 전압보다 낮은 0 ~ 2V 사이의 전압

을 인가하여 드레인과 소스 양단의 전압 차에 의한 전계가 저장 트랜지스터와 선택 트랜지스터 사이의 채널 영역에서 형성되도록 하면, 상기 채널 영역에서 발생된 열전자가 콘트롤 플레이트에 의해 형성된 수직 전계에 의해 플로팅 게이트로 주입된다.

<273> 소거시에는 선택된 셀의 선택 게이트에 0V를 인가하고 콘트롤 플레이트에 -10 ~ -5V 사이의 네거티브 전압을 인가하고 공통 드레인에 0 ~ 8V 사이의 포지티브 전압을 인가하여 저장 수단과 드레인 사이에 강한 전계를 형성시켜 드레인 터미널로 터널링에 의해 소거시킨다.

<274> 또 다른 소거 방법은 선택된 셀의 선택 게이트와 콘트롤 플레이트에 0V를 인가하고 드레인 터미널에 7 ~ 13V의 전압을 인가하여 포지티브 전압만으로 드레인 터미널로 전하를 소거시킬 수도 있다.

<275> 여기서 상기 두 소거 방식의 경우는 저장 트랜지스터의 게이트 산화막을 터널 산화막으로 형성시킨 경우이다.

<276> 세 번째의 또 다른 소거 방식으로는 선택 게이트와 플로팅 게이트 사이에 터널링 영역을 형성시키고 이곳을 통하여 플로팅 게이트의 전하를 소거하는 방식이다. 이 경우에는 선택 게이트에  $V_{cc}$  ~ 20V 사이의 전압을 인가하고 콘트롤 플레이트에는 -8 ~ 0V 사이의 전압을 인가하여 상기의 터널링 영역으로 전하를 소거시킬 수도 있다.

<277> 이때 상기 두 게이트의 전압을 적절히 배분 조정하여 네거티브와 포지티브 전압 모두 사용할 수도 있고 포지티브 전압만 사용할 수도 있다.



- <278> 또한, 도 9c에는 표시되지 않았지만 만약 공통 드레인과 플로팅 게이트 사이의 커패시턴스 커플링비가 커서 드레인에 포지티브 전압을 인가하는 것이 상기의 소거 동작에 도움이 되면 커플링비에 따라 적절한 포지티브 전압을 드레인 터미널에 인가할 수도 있다.
- <279> 그리고 본 발명의 제 5 실시예에 따른 반도체 비휘발성 메모리의 레이아웃, 단면 구조에 관하여 설명하면 다음과 같다.
- <280> 도 9d는 본 발명의 제 5 실시예에 따른 반도체 비휘발성 메모리의 레이아웃 구성도이다.
- <281> 그리고 도 9e는 도 9d의 콘트롤 플레이트 구성을 나타낸 평면 구성도이고, 도 9f내지 도 9h는 도 9d의 D-D'선, E-E'선, F-F'선에 따른 구조 단면도이다.
- <282> 두 이웃한 셀이 좌우 대칭 구조로 배치된 실시예이다.
- <283> 각 셀의 플로팅 게이트(또는 전하 저장 수단)(93)이 활성 영역 상에 배치되고 그 위에 유전체(96)를 사이에 두고 이웃한 두 셀의 플로팅 게이트(93)를 커버하며 하나의 몸체로 콘트롤 플레이트(94)가 형성된다.
- <284> 콘트롤 플레이트(94)의 중앙 부분이며 플로팅 게이트(93) 사이인 영역은 두 셀을 공통하는 드레인 영역(92)이며 이 공통 드레인 영역(92)의 상부의 콘트롤 플레이트(94)은 중앙에 비트 라인과 콘택을 위한 홀(97)이 구성된다.
- <285> 도 9e는 이러한 콘트롤 플레이트(94)의 레이아웃 구성을 나타낸 것이고 상기 홀(97)은 공통 드레인 영역(92)과 비트 라인(98)을 전기적으로 연결하기 위한 영역을 확보하기 위해서 생긴 것이다.

- <286>      상기 공통 드레인 영역(92)과 비트 라인(98)을 연결하기 위한 플러그층(99a)(99b)이 홀(97)을 중심으로 구성된다.
- <287>      또한 본 발명의 제 5 실시예에서는 플로팅 게이트(93) 옆으로 인접하여 저장 트랜지스터의 활성 영역과 연속된 인접 활성 영역 상에 선택 게이트(100)가 배치되어 있으며 각 선택 게이트(100)에 인접하여 소스 확산 영역(91)이 형성된다.
- <288>      여기서, 공통 드레인 영역(92)상의 홀의 일부는 선택 게이트(100)와 동일한 도전 물질(예: 폴리 실리콘)(99a)이 공통 드레인 영역(92)과는 전기적으로 접촉되고 이웃한 플로팅 게이트(93) 및 콘트롤 플레이트(94)와는 절연되도록 채워지고 그 위에 비트 라인(98)과의 콘택층(99b)이 형성된다.
- <289>      이는 콘택과 플로팅 게이트(93) 및 콘트롤 플레이트(94)와의 공정 마진을 크게 하고 셀 사이즈를 줄일 수 있도록 하기 위한 것이다.
- <290>      상기 셀에서 각 게이트 및 기판 사이는 유전체에 의해 전기적으로 절연되어 있다.
- <291>      이와 같은 본 발명의 제 5 실시예에 따른 스플릿 게이트 구조의 반도체 비휘발성 메모리는 다른 구조로 형성할 수도 있다.
- <292>      도 10a와 도 10b는 본 발명의 제 5 실시예에 따른 반도체 비휘발성 메모리의 다른 구조 단면도이다.
- <293>      도 10a는 도 9f의 구조에서 콘트롤 플레이트 측면에 형성되는 스페이서를 뺀 구조이며 나머지 구조는 동일하다.

- <294> 이 경우에는 스페이서 공정이 빠지므로 공정이 간단해지지만 선택 게이트와 콘트롤 플레이트 사이의 산화막이 상대적으로 얇게 되어 소거 시 선택 게이트에 고전압을 걸어 소거하기가 어려울 수도 있다.
- <295> 그리고 도 10b는 상기 도 10a의 실시예에서 플로팅 게이트의 두께를 선택 게이트보다 두껍게 한 것이 특징이며 이렇게 함으로써 플로팅 게이트로의 선택 게이트 및 드레인 커플링 비를 증가시킬 수 있어 콘트롤 플레이트의 전압을 줄일 수 있다.
- <296> 지금까지의 실시예는 이웃한 두 셀에 대해서만 기술하였지만 네 개 이상의 셀에 대해서도 콘트롤 플레이트만 커버하도록 적용하면 되므로 본 발명의 개념은 4개 이상의 이웃한 또는 이웃하지 않은 셀들에 대해서도 마찬가지로 적용된다.
- <297> 도 11a, 11b, 11c는 도 3a의 실시 예를 네 개 이상의 셀에 걸쳐 하나의 콘트롤 플레이트를 형성시키는 경우의 어레이, 레이아웃 및 단면도 이다.
- <298> 도 11a는 네 개의 셀의 콘트롤 게이트가 하나의 콘트롤 플레이트로 된 것을 보여주지만 네 개 이상의 경우에도 간단히 확장할 수 있음은 명백하다.
- <299> 또한 도 11a는 도 3b의 어레이가 비트 라인 방향으로 단순히 두 배로 확장된 것이며 이러한 방식으로 비휘발성 메모리의 매트릭스가 쉽게 구현될 수 있다.
- <300> 또한 이러한 네 개 이상의 셀에 대한 콘트롤 플레이트가 형성되는 방식은 앞서 예시한 다른 실시 예에서도 동일하게 적용된다.

- <301> 또한 이러한 각각의 비휘발성 메모리 매트릭스에서의 동작 방법은 기 설명한 해당하는 실시예에서의 동작 방법과 동일하다.
- <302> 도 11b와 도 11c는 도 4a와 도 4b의 레이아웃과 단면도가 비트 라인 방향으로 확장된 것이며 콘트롤 플레이트가 네 개의 셀에 걸쳐 하나의 몸체로 형성되어 있다. 따라서 이러한 방식으로 쉽게 더 큰 사이즈의 매트릭스가 구현될 수 있다.
- <303> 다만 상기 매트릭스가 구현될 경우 콘택이 필요한 영역은 상기 콘트롤 플레이트에 홀을 형성시켜 상기 홀을 통하여 해당하는 라인과 콘택시키면 된다.
- <304> 다른 예시 및 설명은 도 4a 또는 4b 또는 4c에서 예시 및 설명한 것과 동일하다.
- <305> 또한 이러한 네 개 이상의 셀에 대한 콘트롤 플레이트가 형성되는 방식은 앞서 예시한 다른 실시 예에서도 동일하게 적용됨은 명백하다.
- <306> 지금까지 본 발명의 실시예는 P형 기판 상의 NMOS 트랜지스터를 중심으로 실시 예를 기술하였으나 본 발명은 트랜지스터의 극성과 무관하므로 PMOS 셀에도 당연히 적용된다.

#### 【발명의 효과】

- <307> 본 발명 이중 트랜지스터 셀의 콘트롤 플레이트는 이웃한 두 셀 또는 그 이상의 플로팅 게이트 또는 전하 저장 수단을 커버하면서 하나의 판으로 형성된다.

- <308> 따라서 이웃한 두 셀의 공통 소스 영역은 좌우의 플로팅 게이트를 형성할 때에 정의되며 그 위의 콘트롤 플레이트를 각 셀마다 분리되지 않고 하나의 판으로 형성하므로 소스 영역을 포토 리소그래피 한계까지 최소로 작게 할 수 있다.
- <309> 또한 콘트롤 플레이트는 플로팅 게이트와 선택 게이트 사이 또는 선택 게이트 상부 또는 선택 게이트를 감싸도록 정의되면 되므로 결과적으로 콘트롤 플레이트를 형성하는 공정은 포토 리소그래피의 톨러런스에 무관하게 실시될 수 있다.
- <310> 따라서 본 발명의 셀은 이중 트랜지스터임에도 불구하고 매우 작은 셀 사이즈를 구현할 수 있다.
- <311> 또한 본 발명의 비휘발성 메모리에서는 다수 개의 콘트롤 게이트 라인이 하나의 콘트롤 플레이트 라인으로 형성되므로 콘트롤 라인의 수가 줄어들고 따라서 상기 콘트롤 라인을 디코딩하는 회로가 간단해지고 상기 회로의 면적이 줄어든다.
- <312> 또한 본 발명의 이중 트랜지스터 셀은 단일 트랜지스터 셀에서의 동일 비트 라인 상의 선택되지 않은 셀이 겪는 드레인 전압에 의한 도통(drain turn on) 또는 펀치 쓰루(punch-through) 또는 누설 전류(leakage current) 문제 및 전하 저장 수단에 가해지는 전계 스트레스가 없으므로 비휘발성 저장 트랜지스터의 플로팅 게이트 폭(채널 길이)은 단일 트랜지스터에 비해 훨씬 작게 구현할 수 있다.

<313> 따라서 본 발명의 셀은 이중 트랜지스터임에도 불구하고 매우 작은 셀 사이즈를 구현할 수 있다.

<314> 본 발명 셀의 이러한 장점은 설계 룰이 미세해질수록 더욱 커진다. 왜냐하면 단일 트랜지스터 셀은 상기의 문제점들이 설계 룰의 미세화에 따라 더욱 심각하게 되므로 셀 사이즈의 축소율(scale-ability)은 더욱 나쁘게 될 것이며, 종래의 이중 트랜지스터 이이피룸은 고전압 드레인 접합과 콘트롤 게이트 분리 공정의 문제 때문에 셀 사이즈는 상대적으로 클 수밖에 없기 때문이다.

<315> 또한 본 발명의 셀은 콘트롤 플레이트이 플로팅 게이트의 측면과 윗면을 모두 감싸고 있을 뿐만 아니라 플로팅 게이트의 높이를 충분히 높게 함으로써 콘트롤 플레이트과 플로팅 게이트 사이의 면적을 매우 크게 할 수 있으므로 정전 용량이 매우 크고 따라서 매우 큰 콘트롤 게이트 커플링 비(coupling ratio)를 쉽게 확보할 수 있다.

<316> 콘트롤 게이트 커플링 비는 플로팅 게이트에 연결된 모든 정전 용량을 합한 값에 대한 플로팅 게이트와 콘트롤 게이트 사이의 정전 용량의 비이며, 콘트롤 게이트 커플링 비가 클수록 콘트롤 게이트에 인가한 전압이 플로팅 게이트로 많이 전달된다.

<317> 즉, 상기 커플링 비가 클수록 프로그램 및 소거 시의 승압 전압의 레벨을 줄일 수 있으며 리드 시에는 낮은  $V_{cc}$  입력 전압에 대해서도 그만큼 많은 셀 전류를 얻을 수 있게 되므로 본 발명의 셀은 저전압 및 저전력 동작에도 유리하다.

- <318>       본 발명의 셀은 또한 신뢰성과 생산성이 향상된다. 본 발명의 셀에는 단일 트랜지스터 플래시 메모리에서 나타나는 프로그램 시의 드레인 전압에 의한 디스터버(disturb) 현상과 소거 시의 과잉 소거 현상이 없으며 터널 산화막에 대한 공정 시의 손상(process-induced damage)도 제거될 뿐만 아니라 플로팅 게이트 및 터널 산화막을 콘트롤 플레이트이 감싸고 있으므로 후속 금속 배선 공정 시에 나타날 수 있는 나쁜 영향들을 피할 수 있다.
- <319>       또한 본 발명의 셀은 동작 전압이 종래의 이이피롬에 비해 낮으므로 고전압에 따른 부정적인 영향도 줄어든다. 따라서 본 발명의 셀은 종래의 셀에 비해 높은 안정성과 신뢰성 및 생산성을 얻을 수 있다.
- <320>       또한 본 발명의 셀은 문턱 전압을 0V 이하의 영역까지 확대하여 디플리션 모드에서도 동작시킬 수 있으므로 문턱 전압의 허용 범위가 넓으며 리드 시의 셀 전류가 크고 따라서 저전압  $V_{cc}$ 에서도 고속의 리드 동작이 가능하다.
- <321>       또한 넓은 가용 문턱 전압 범위와 높은 신뢰성으로 고속의 멀티 비트 셀 구현에도 매우 적합하다. 종래의 셀에서 멀티 비트를 구현하면 메모리의 리드 및 쓰기 속도가 느려진다.
- <322>       이것은 0V 이상으로 제한된 좁은 가용 문턱 전압 범위가 주 원인이며 본 발명의 셀은 따라서 종래의 셀에 비해 고속을 구현하기에 유리하고 멀티 비트 메모리에서도 싱글 비트 메모리 이상의 고속을 구현할 수도 있다.
- <323>       한편, MCU, DSP 등의 로직 코어와 M/S(Mixed Signal), SRAM, DRAM의 휘발성 메모리, 플래시 메모리 및 EEPROM의 비휘발성 메모리 등의 전부 또는 일부를 하

나의 공정으로 하나의 칩에 통합하는 시스템 칩(SoC: System-on-Chip)은 각각 분리된 칩으로 구현된 시스템에 비해 속도와 소비 전력, PCB의 면적에 있어서 월등한 장점이 많음은 이미 잘 알려진 사실이다.

<324> 이러한 SoC의 구현에 있어서 가장 어려운 문제 중의 하나는 비휘발성 메모리(임베디드 비휘발성 메모리)와 로직 공정의 통합이다.

<325> 로직 공정과 동일 공정으로 제조되는 임베디드 비휘발성 메모리는 특히 공정의 단순성과 로직의 설계 룰 미세화에 따른 셀 사이즈의 동일 또는 비슷한 비율의 축소화가 요구된다.

<326> 또한 임베디드 비휘발성 메모리는 로직 소자의 저전압화에 따른 내부 승압 동작 전압의 저전압화 및 저전압 Vcc에 의한 리드, 로직 소자와 경쟁력 있는 플래시 메모리와 이이퍼롬의 하나의 공정에 의한 구현, 그리고 높은 신뢰성과 생산성 등이 요구된다. 상기 각 항목에서 기술하였듯이 본 발명의 셀은 이러한 SoC의 각 항목의 요구 사항에 매우 잘 부합한다는 것을 알 수 있다.

<327> 따라서 본 발명의 셀은 단품 비휘발성 메모리뿐만 아니라, 특히 차세대 초미세 집적회로 SoC의 임베디드 비휘발성 메모리 구현에 유리하다.



**【특허청구범위】****【청구항 1】**

표면내에 액티브 영역들 및 필드 영역들을 갖는 반도체 기판;

각각 상기 액티브 영역상에 형성된 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖으며, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들;

상기 각 비휘발성 저장 트랜지스터 마다 적어도 하나가 매치되고, 각각은 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 각 해당하는 비휘발성 저장 트랜지스터와 연결되는, 적어도 두 개의 선택 트랜지스터들을 구비함을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 2】**

제 1 항에 있어서, 상기 기판은 P형 기판 위에 N형 웰이 형성되고, 상기 N형 웰 내에 P형 웰이 형성된 트리플 웰 형태이고 상기 액티브 영역은 상기 P형 웰 내에 형성되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 3】**

제 1 항에 있어서, 상기 선택 트랜지스터는 상기 비휘발성 저장 트랜지스터와 하나의 접합부(PN-Junction)를 공통하며 시리즈로 연결되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 4】**

제 1 항에 있어서, 상기 선택 트랜지스터는 상기 비휘발성 저장 트랜지스터와 연속된 이웃한 채널 상에 시리즈로 연결되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 5】**

제 1 항에 있어서, 상기 유전체층은 상기 비휘발성 저장 트랜지스터 영역과 상기 선택 트랜지스터 영역이 서로 다른 두께 또는 물질로 구성되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 6】**

제 1 항에 있어서, 상기 저장 수단은 도전체 플로팅 게이트임을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 7】**

제 5 항에 있어서, 상기 유전체 중 상기 비휘발성 저장 트랜지스터에 속한 부분은 터널 산화막임을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 8】**

제 1 항에 있어서, 상기 저장 수단과 상기 기판 사이에 형성되는 제 1 유전체 그리고 상기 기판과 상기 선택 게이트 사이에 형성되고 상기 제 1 유전체와 서로 동일하거나 또는 서로 다른 물질인 제 2 유전체를 더 구비함을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 9】**

제 1 항에 있어서, 상기 저장 수단과 상기 기판 사이에 형성되는 제 1 유전체 그리고 상기 기판과 상기 선택 게이트 사이에 형성되고 상기 제 1 유전체와 서로 동일하거나 또는 서로 다른 두께를 갖는 제 2 유전체를 더 구비함을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 10】**

제 1 항에 있어서, 상기 저장 수단은 도전체인 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 11】**

제 1 항에 있어서, 상기 저장 수단은 질화막이거나 또는 질화막과 산화막의 복합 구조임을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 12】**

제 11 항에 있어서, 상기 유전체 위에 질화막 또는 질화막과 산화막의 복합 구조는 상기 비휘발성 저장 트랜지스터에만 형성되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 13】**

제 1 항에 있어서, 상기 저장 수단은 강유전체 물질임을 특징으로 하는 반도체 비휘발성 메모리.

## 【청구항 14】

제 1 항에 있어서, 상기 하나의 콘트롤 플레이트를 공통하는 상기 적어도 두 개의 비휘발성 저장 트랜지스터들은 상기 반도체 기판 내에서 소스 또는 드레인으로 사용되기 위한 적어도 하나의 공통의 불순물 영역을 상기 기판내에 갖는 것을 특징으로 하는 반도체 비휘발성 메모리.

## 【청구항 15】

표면 내에 액티브 영역들 및 필드 영역들을 갖는 반도체 기판;

상기 반도체 기판 상에 형성된 유전체층;

각각 상기 기판내에 형성된 소스, 상기 기판 내에 형성된 드레인, 상기 액티브 영역 상측에서 상기 유전체층 상에 형성된 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖으며, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들, 여기서 상기 인접하는 비휘발성 저장 트랜지스터들의 소스들은 하나의 공통 소스 형태를 갖는다; 그리고

각각 상기 기판내에 형성된 소스, 상기 기판내에 형성된 드레인, 그리고 상기 소스와 상기 드레인 사이에서 상기 유전체층 상에 상기 저장 수단과 격리되어 형성된 선택 게이트를 갖으며, 여기서 상기 소스는 상기 해당하는 비휘발성 저장 트랜지스터의 상기 드레인이고, 그리고 각각은 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터

와 연결되는 적어도 두 개의 선택 트랜지스터들을 구비함을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 16】**

제 15 항에 있어서, 상기 각 선택 트랜지스터의 소스는 제1 소스와 상기 제1 소스 내에 형성되는 제2 소스를 포함하고, 상기 제1 소스, 상기 해당하는 비휘발성 저장 트랜지스터의 상기 저장 수단 및 상기 유전체층을 통해 프로그래밍이 수행되고, 그리고 상기 제 2 소스, 상기 저장 게이트 및 상기 유전체층을 통해 소거가 수행되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 17】**

제 15 항에 있어서, 상기 프로그래밍은 핫 캐리어 인젝션에 의해 수행됨을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 18】**

열 방향으로 배열된 복수개의 비트 라인;

행 방향으로 배열된 복수개의 워드 라인;

상기 행 방향으로 배열된 복수개의 소스 라인;

상기 행 방향으로 배열된 복수개의 콘트롤 플레이트 라인;

상기 라인들 사이에 형성된 복수개의 비휘발성 메모리 셀들;

여기서, 각 비휘발성 메모리 셀은, 각각 기판내에 형성된 소스 및 드레인, 상기 기판상에 형성된 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖고, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성

된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들, 여기서 상기 인접하는 비휘발성 저장 트랜지스터들의 소스들은 하나의 공통 소스 형태를 갖는다; 그리고

각각 소스, 드레인, 그리고 상기 소스와 상기 드레인 사이에서 상기 저장 수단과 격리되어 형성된 선택 게이트를 갖으며, 여기서 상기 소스는 상기 해당하는 비휘발성 저장 트랜지스터의 상기 드레인이고, 그리고 각각은 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결되는 적어도 두 개의 선택 트랜지스터들을 구비하고,

여기서, 상기 각 셀의 선택 게이트들은 상기 행 방향으로 상기 서로 다른 워드 라인들에 접속되고,

상기 단위블록의 공통 소스는 상기 행 방향으로 연장하는 상기 해당하는 소스 라인에 접속되고,

상기 각 콘트롤 플레이트는 상기 행 방향으로 상기 해당하는 콘트롤 플레이트 라인에 접속되고, 그리고 상기 셀의 선택 트랜지스터들의 드레인들은 상기 해당하는 비트 라인에 함께 접속됨을 특징으로 하는 반도체 비휘발성 메모리 어레이.

#### 【청구항 19】

제 18 항에 있어서, 상기 콘트롤 플레이트 라인이나 상기 워드 라인은 상기 콘트롤 플레이트 및 상기 선택 게이트와 각각 동일한 전도 물질로 형성됨을 특징으로 하는 반도체 비휘발성 메모리 어레이.

**【청구항 20】**

제 18 항에 있어서, 상기 어레이는 플래시 메모리 모드로 동작하는 것을 특징으로 하는 반도체 비휘발성 메모리 어레이.

**【청구항 21】**

제 20 항에 있어서, 상기 어레이 중 선택되지 않은 비휘발성 저장 트랜지스터용 선택 게이트에는 0V 전압이 인가되거나 또는 그라운드 되거나 또는 플로우트되고,

선택된 비휘발성 저장 트랜지스터용 선택 게이트에는 프로그래밍시 VCC ~ 10V가, 리드시에는 VCC ~ 7V가,

상기 선택된 비휘발성 저장 트랜지스터의 콘트롤 플레이트에는 프로그래밍시 -7V ~ 10V, 소거시에는 -13V ~ 0V, 리드시에는 0 ~ 7V가 인가되고,

상기 선택된 휘발성 저장 트랜지스터용 상기 선택 트랜지스터의 상기 드레인에는 프로그래밍시 1V ~ 6V, 리드시에는 0.5 ~ 2V가 인가되고,

상기 선택된 비휘발성 저장 트랜지스터의 상기 공통 소스에는 프로그래밍시 0V ~ 2V, 소거시에는 0V ~ 13V, 리드시에는 0 ~ 1.5V가 인가되고, 상기 기판은 P형 기판임을 특징으로 하는 반도체 비휘발성 메모리 어레이.

**【청구항 22】**

제 20 항에 있어서, 상기 어레이 중 선택되지 않은 비휘발성 저장 트랜지스터용 선택 게이트에는 항상 0V 전압이 인가되거나 또는 그라운드 되거나 또는 플로우트(float)되고,

선택된 비휘발성 저장 트랜지스터용 선택 게이트에는 프로그래밍시 VCC ~ 10V가, 리드시에는 VCC ~ 7V가 인가되고, 소거시에는 0V ~ 13V이 인가되거나 또는 플로우트되고,

상기 선택된 비휘발성 저장 트랜지스터의 콘트롤 플레이트에는 프로그래밍시 -7V ~ 10V, 소거시에는 -13 ~ 0V, 리드시에는 0 ~ 7V가 인가되고,

상기 선택된 비휘발성 저장 트랜지스터용 상기 선택 트랜지스터의 상기 드레인에는 프로그래밍시 1V ~ 6V, 리드시에는 0.5 ~ 2V가 인가되고,

상기 선택된 비휘발성 저장 트랜지스터의 상기 공통 소스에는 프로그래밍시 0V ~ 2V, 소거시에는 VCC ~ 13V 또는 플로우트되고, 리드시에는 0 ~ 1.5V가 인가되고, 상기 기판은 P형 기판, P형 기판내에 형성된 N형 웰, N형 웰내의 P형 웰을 갖는 것으로, 기판에는 항상 0V가 인가되고, P형 웰에는 프로그래밍시에 -5 ~ 0V, 소거시에 VCC ~ 13V가 인가되고, N형 웰에는 프로그래밍시와 리드시에 0V, 소거시에 VCC ~ 13V가 인가되는 것을 특징으로 하는 반도체 비휘발성 메모리 어레이.

#### 【청구항 23】

제 18 항에 있어서, 상기 어레이는 셀단위의 EEPROM 모드로 동작하는 것을 특징으로 하는 반도체 비휘발성 메모리 어레이.



**【청구항 24】**

제 23 항에 있어서, 상기 어레이 중 선택되지 않은 셀의 선택 게이트에는 프로그래밍시 0V, 소거시에는 0 ~ VCC 또는 플로우트(float), 리드시에는 0V가 인가되고,

상기 선택되지 않은 셀에 속하는 선택 트랜지스터의 드레인에는 소거시에는 0V 또는 플로우트되고,

선택된 셀의 선택 게이트에는 프로그래밍시 VCC ~ 10V, 소거시에는 VCC ~ 10V 또는 7V ~ 15V, 리드시에는 VCC ~ 7V가 인가되고,

상기 선택된 셀에 속하는 선택 트랜지스터의 드레인에는 프로그래밍시 2 ~ 7V가, 소거시에는 VCC ~ 10V 또는 7V ~ 13V, 리드시에는 0.5 ~ 2V가 인가되고,

상기 선택된 셀의 콘트롤 플레이트에는 프로그래밍시 -7V ~ 10V, 소거시에는 -10 ~ -3V 또는 0V, 리드시에는 0 ~ 7V가 인가되고,

상기 선택된 셀에 속하는 상기 공통 소스에는 프로그래밍시 0 ~ 2V, 소거시에는 0 또는 플로우트되고, 리드시에는 0 ~ 1.5V가 인가되고, 상기 기판은 P형 기판임을 특징으로 하는 반도체 비휘발성 메모리 어레이.

**【청구항 25】**

제 23 항에 있어서, 상기 어레이 중 선택되지 않은 셀의 선택 게이트에는 프로그래밍시 0V 전압이 인가되고, 선택된 셀의 선택 게이트에는 프로그래밍시 VCC ~ 10V가 인가되고,

상기 선택된 셀의 콘트롤 플레이트에는 프로그래밍시 -7V ~ 10V가 인가되고,

상기 선택된 셀에 속하는 상기 선택 트랜지스터의 상기 드레인에는 프로그래밍시 1V ~ 6V가 인가되고,

상기 선택된 셀의 상기 공통 소스에는 프로그래밍시 0V ~ 2V가 인가되고, 상기 기판은 P형 기판, P형 기판내에 형성된 N형 웰, N형 웰내의 P형 웰을 갖는 것으로, 기판에는 항상 0V가 인가되고, P형 웰에는 프로그래밍시에 -5 ~ 0V가 인가되고, N형 웰에는 프로그래밍시에 0V가 인가되는 것을 특징으로 하는 반도체 비휘발성 메모리 어레이.

#### 【청구항 26】

각각 기판 표면내에 형성된 소스, 드레인, 상기 기판 상에 형성된 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖으며, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들; 그리고 각각 상기 기판 내에 형성된 소스, 드레인, 그리고 상기 소스와 상기 드레인 사이에서 상기 저장 수단과 격리되어 상기 기판 상에 형성된 선택 게이트를 갖으며, 그리고 각각은 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결되는 적어도 두 개의 선택 트랜지스터들을 구비한 반도체 비휘발성 메모리에 있어서,

상기 각 선택 트랜지스터를 on 또는 off 시키는 것에 의해 비휘발성 저장 트랜지스터를 선택하는 스텝;

그리고 상기 선택된 비휘발성 저장 트랜지스터의 채널에 열전자를 발생시키는 채널 핫 캐리어 인젝션 방식으로 상기 선택된 비휘발성 트랜지스터를 프로그래밍하는 스텝을 구비함을 특징으로 하는 반도체 비휘발성 메모리의 동작 방법.

**【청구항 27】**

제 26 항에 있어서, 상기 채널 핫 캐리어 인젝션 방식은 상기 선택된 비휘발성 저장 트랜지스터의 소스와 상기 기판 사이에 일정 수준의 역방향 전압을 인가하는 제 1 방식,

상기 선택된 비휘발성 트랜지스터의 콘트롤 플레이트의 전압을 저전압으로부터 순차적으로 증가시키는 제 2 방식, 그리고

상기 제 1 방식과 상기 제 2 방식을 혼용한 제 3 방식 중 어느 한 방식임을 특징으로 하는 반도체 비휘발성 메모리의 동작 방법.

**【청구항 28】**

제 26 항에 있어서, 상기 선택된 비휘발성 트랜지스터의 콘트롤 플레이트에 인가되는 전압에 대하여 상기 선택된 비휘발성 트랜지스터의 채널 전류를 모니터링하는 스텝; 그리고

상기 채널 전류가 상기 전압에 대해 정해진 기준 전류에 도달했을시 상기 콘트롤 플레이트에 인가되는 전압에 대한 프로그래밍을 종료시키는 스텝을 더 구비함을 특징으로 하는 비휘발성 메모리의 동작 방법.

**【청구항 29】**

제 26 항에 있어서, 상기 선택된 비휘발성 트랜지스터의 콘트롤 플레이트에 순차적으로 인가되는 각 전압에 대하여 상기 선택된 비휘발성 트랜지스터의 채널 전류를 모니터링하는 스텝; 그리고

상기 채널 전류가 상기 콘트롤 플레이트에 인가되는 모든 전압들에 대해 정해진 하나의 기준 전류에 도달했을시 상기 콘트롤 플레이트의 각 전압에 대한 프로그래밍을 종료시키는 스텝을 더 구비함을 특징으로 하는 비휘발성 메모리의 동작 방법.

**【청구항 30】**

제 26 항에 있어서, 상기 선택된 비휘발성 트랜지스터의 콘트롤 플레이트에 순차적으로 인가되는 각 전압에 대하여 상기 선택된 비휘발성 트랜지스터의 채널 전류를 모니터링하는 스텝; 그리고

상기 채널 전류가 상기 각 전압에 대해 각각 정해진 하나의 기준 전류에 도달했을시 상기 콘트롤 플레이트의 각 전압에 대한 프로그래밍을 종료시키는 스텝을 더 구비함을 특징으로 하는 비휘발성 메모리의 동작 방법.

**【청구항 31】**

제 26 항에 있어서, 리드 동작을 위해 상기 해당하는 선택 트랜지스터를 턴 온시키는 것에 의해 하나의 비휘발성 트랜지스터를 선택하는 스텝;

그리고 상기 선택된 비휘발성 트랜지스터의 콘트롤 플레이트에 일정한 전압을 인가하거나 또는 가변 전압을 인가하는 스텝을 더 구비함을 특징으로 하는 반도체 비휘발성 메모리의 동작 방법.

**【청구항 32】**

제 26 항에 있어서, 소거 동작을 위해 선택되지 않은 비휘발성 저장 트랜지스터들용 선택 게이트들에는 0V 또는 VCC ~ 13V 사이의 전압이 인가되거나 또는 플로우트됨을 특징으로 하는 반도체 비휘발성 메모리의 동작 방법.

**【청구항 33】**

제 26 항에 있어서, 선택된 셀의 워드 라인을 공유하는 선택되지 않은 셀이 ON되어 발생하는 누설 전류를 억제하기 위하여 선택되지 않은 셀의 소스와 드레인에 동일한 전압이 인가되도록,

선택된 셀에 소스 전압을 인가하여 리드 또는 프로그래밍하는 경우에 선택된 워드 라인과 교차하는 각 비트 라인에 상기 소스 전압과 동일한 전압을 인가하는 것을 특징으로 하는 반도체 비휘발성 메모리의 동작 방법.

**【청구항 34】**

행 방향으로 배열된 복수개의 비트 라인;

열 방향으로 배열된 복수개의 워드 라인;

상기 행 방향으로 배열된 복수개의 소스 라인;

상기 행 방향으로 배열된 복수개의 콘트롤 플레이트 라인;

상기 라인들 사이에 형성된 복수개의 비휘발성 메모리 셀들;

여기서 , 각 비휘발성 메모리 셀은, 각각 소스, 드레인, 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖고, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들, 여기서 상기 인접하는 비휘발성 저장 트랜지스터들의 소스들은 하나의 공통 소스 형태를 갖는다; 그리고

각각 소스, 드레인, 그리고 상기 소스와 상기 드레인 사이에서 상기 저장 수단과 격리되어 형성된 선택 게이트를 갖고, 여기서 상기 소스는 상기 해당하는 비휘발성 저장 트랜지스터의 상기 드레인이고, 그리고 각각은 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결되는 적어도 두 개의 선택 트랜지스터들을 구비하고,

여기서 , 상기 각 셀의 선택 게이트들은 상기 열 방향으로 상기 해당하는 하나의 워드 라인에 함께 접속되고,

상기 셀의 공통 소스는 상기 행 방향으로 연장하는 상기 해당하는 소스 라인에 접속되고,

상기 각 콘트롤 플레이트는 상기 행 방향으로 상기 해당하는 콘트롤 플레이트 라인에 접속되고, 그리고 상기 셀의 선택 트랜지스터들의 드레인들은 상기 행 방향으로 상기 서로 다른 비트 라인들에 접속됨을 특징으로 하는 반도체 비휘발성 메모리 어레이.

## 【청구항 35】

제 34 항에 있어서, 리드 또는 프로그래밍시, 선택된 비휘발성 저장 트랜지스터의 소스에 소스 전압을 인가하고, 상기 소스를 공통하는 이웃하는 비휘발성 저장 트랜지스터용 선택 트랜지스터의 드레인에 연결된 비트 라인으로 상기 소스 전압과 동일한 전압을 인가하는 것을 특징으로 하는 반도체 비휘발성 메모리 어레이.

## 【청구항 36】

표면 내에 액티브 영역들 및 필드 영역들을 갖는 반도체 기판;

상기 반도체 기판 상에 형성된 유전체층;

각각 상기 기판내에 형성된 소스, 상기 기판 내에 형성된 드레인, 상기 액티브 영역 상측에서 상기 유전체층 상에 형성된 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖으며, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들, 여기서 상기 인접하는 비휘발성 저장 트랜지스터들의 드레인들은 하나의 공통 드레인 형태를 갖는다; 그리고

각각 상기 기판내에 형성된 소스, 상기 기판내에 형성된 드레인, 그리고 상기 소스와 상기 드레인 사이에서 상기 유전체층 상에 상기 저장 수단과 격리되어 형성된 선택 게이트를 갖으며, 여기서 상기 드레인은 상기 해당하는 비휘발성 저장 트랜지스터의 상기 소스이고, 그리고 각각은 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터

와 연결되는, 적어도 두 개의 선택 트랜지스터들을 구비함을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 37】**

제 36 항에 있어서, 상기 각 선택 트랜지스터의 드레인은 제1 드레인과 상기 제1 드레인 내에 형성되는 제2 드레인을 포함하고, 상기 제1 드레인, 상기 해당하는 비휘발성 저장 트랜지스터의 상기 저장 수단 및 상기 유전체층을 통해 프로그래밍이 수행되고, 그리고 상기 제 2 드레인, 상기 저장 게이트 및 상기 유전체층을 통해 소거가 수행되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 38】**

제 36 항에 있어서, 상기 프로그래밍은 핫 캐리어 인젝션에 의해 수행됨을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 39】**

제 36 항에 있어서, 상기 콘트롤 플레이트는 그것의 중앙 부분에 상기 공통 드레인을 비트 라인에 콘택시키기 위한 오픈 영역을 갖는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 40】**

열 방향으로 배열된 복수개의 비트 라인;

행 방향으로 배열된 복수개의 워드 라인;

상기 행 방향으로 배열된 복수개의 소스 라인;

상기 행 방향으로 배열된 복수개의 콘트롤 플레이트 라인;



상기 라인들 사이에 형성된 복수개의 비휘발성 메모리 셀들;

여기서, 각 비휘발성 메모리 셀은, 각각 기판내에 형성된 소스, 상기 기판내에 형성된 드레인, 상기 기판 상에 형성된 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖고, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들, 여기서 상기 인접하는 비휘발성 저장 트랜지스터들의 드레인들은 하나의 공통 드레인 형태를 갖는다; 그리고

각각 소스, 드레인, 그리고 상기 소스와 상기 드레인 사이에서 상기 저장 수단과 격리되어 형성된 선택 게이트를 갖고, 여기서 상기 드레인은 상기 해당하는 비휘발성 저장 트랜지스터의 상기 소스이고, 그리고 각각은 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결되는 적어도 두 개의 선택 트랜지스터들을 구비하고,

여기서, 상기 각 셀의 선택 게이트들은 상기 행 방향으로 상기 서로 다른 워드 라인들에 접속되고,

상기 단위블록의 공통 드레인은 상기 열 방향으로 연장하는 상기 해당하는 비트 라인에 접속되고,

상기 각 콘트롤 플레이트는 상기 행 방향으로 상기 해당하는 콘트롤 플레이트 라인에 접속되고, 그리고

상기 셀의 선택 트랜지스터들의 소스들은 상기 서로 다른 소스 라인들에 접속됨을 특징으로 하는 반도체 비휘발성 메모리 어레이.

**【청구항 41】**

제 40 항에 있어서, 상기 콘트롤 플레이트 라인이나 상기 워드 라인은 상기 콘트롤 플레이트와 및 상기 선택 게이트와 각각 동일한 전도 물질로 형성됨을 특징으로 하는 반도체 비휘발성 메모리 어레이.

**【청구항 42】**

제 40 항에 있어서, 상기 어레이 중 선택되지 않은 비휘발성 저장 트랜지스터용 선택 게이트에는 0V 전압이 인가되거나 또는 플로우트되고, 선택된 비휘발성 저장 트랜지스터용 선택 게이트에는 프로그래밍시 VCC ~ 10V가, 리드시에는 VCC ~ 7V가,

상기 선택된 셀의 콘트롤 플레이트에는 프로그래밍시 -7V ~ 10V가 인가되고, 소거시에는 -10V ~ -5V, 0V, 그리고 -10 ~ -3V 중 어느 하나가 인가되고, 리드시에는 0 ~ 7V가 인가되고, 상기 선택된 비휘발성 저장 트랜지스터의 상기 공통 드레인에는 프로그래밍시 2V ~ 7V, 리드시에는 0.5 ~ 2V가 인가되고,

상기 선택된 비휘발성 저장 트랜지스터용 선택 트랜지스터의 소스에는 프로그래밍시 VS(0V ~ 2V), 소거시에는 VCC ~ 10V, 리드시에는 VS가 인가되고, 상기 기판은 P형 기판임을 특징으로 하는 반도체 비휘발성 메모리 어레이.

**【청구항 43】**

제 40 항에 있어서, 선택된 비휘발성 저장 트랜지스터용 선택 게이트에는 프로그래밍시 VCC ~ 10V가, 리드시에는 VCC ~ 7V가 인가되고, 소거시에는 0V ~ VPP(VCC ~ 13V)이 인가되거나 또는 플로우트되고,

상기 선택된 비휘발성 저장 트랜지스터의 콘트롤 플레이트에는 프로그래밍 시  $-7V \sim 10V$ , 소거시에는  $-13 \sim 0V$ , 리드시에는  $0 \sim 7V$ 가 인가되고,

상기 선택된 비휘발성 저장 트랜지스터의 공통 드레인에는 프로그래밍시  $1V \sim 6V$ , 리드시에는  $0.5 \sim 2V$ 가 인가되고,

상기 선택된 비휘발성 저장 트랜지스터용 선택 트랜지스터의 소스에는 프로그래밍시  $VS(0V \sim 2V)$ , 소거시에는  $VPP$  또는 플로우트되고, 리드시에는  $VS$ 가 인가되고,

상기 기판은 P형 기판, 상기 P형 기판내에 형성된 N형 웰, 상기 N형 웰내에 형성된 P형 웰을 갖는 것으로, 상기 P형 기판에는 항상  $0V$ 가 인가되고, 상기 P형 웰에는 프로그래밍시에  $-5 \sim 0V$ , 소거시에  $VPP$ 가 인가되고, 상기 N형 웰에는 프로그래밍시에  $0V$ , 소거시에는  $VPP$ 가 인가되는 것을 특징으로 하는 반도체 비휘발성 메모리.

#### 【청구항 44】

표면 내에 액티브 영역들 및 필드 영역들을 갖는 반도체 기판;

상기 반도체 기판 상에 형성된 유전체층;

각각 상기 기판내에 형성된 소스, 상기 기판 내에 형성된 드레인, 상기 액티브 영역 상측에서 상기 유전체층 상에 형성된 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖고, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들; 그리고

각각 상기 기판내에 형성된 소스, 상기 기판내에 형성된 드레인, 그리고 상기 소스와 상기 드레인 사이에서 상기 유전체층 상에 상기 저장 수단과 격리되어 형성된 선택 게이트를 갖으며, 여기서 상기 드레인은 상기 해당하는 비휘발성 저장 트랜지스터의 상기 소스이고, 그리고 각각은 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결되는, 적어도 두 개의 선택 트랜지스터들을 구비함을 특징으로 하는 반도체 비휘발성 메모리.

#### 【청구항 45】

행 방향으로 배열된 복수개의 비트 라인;

열 방향으로 배열된 복수개의 워드 라인;

상기 행 방향으로 배열된 복수개의 소스 라인;

상기 행 방향으로 배열된 복수개의 콘트롤 플레이트 라인;

상기 라인들 사이에 형성된 복수개의 비휘발성 메모리 셀들;

여기서, 각 비휘발성 메모리 셀은, 각각 기판내에 형성된 소스, 상기 기판내에 형성된 드레인, 상기 기판 상에 형성된 저장 수단 및 상기 저장 수단 상에 형성된 콘트롤 게이트를 갖으며, 여기서 상기 콘트롤 게이트들은 적어도 두 개의 단위로 일체로 형성된 적어도 하나의 콘트롤 플레이트 형태를 갖는 적어도 두 개의 비휘발성 저장 트랜지스터들; 그리고

각각 소스, 드레인, 그리고 상기 소스와 상기 드레인 사이에서 상기 저장 수단과 격리되어 형성된 선택 게이트를 갖으며, 여기서 상기 드레인은 상기 해당

하는 비휘발성 저장 트랜지스터의 상기 소스이고, 그리고 각각은 상기 해당하는 비휘발성 저장 트랜지스터의 선택을 위해 동작하도록 상기 해당하는 비휘발성 저장 트랜지스터와 연결되는 적어도 두 개의 선택 트랜지스터들을 구비하고,

여기서, 상기 각 셀의 선택 게이트들은 상기 해당하는 하나의 워드 라인들에 함께 접속되고,

상기 셀의 드레인들은 상기 서로 다른 비트 라인들에 접속되고, 상기 각 콘트롤 플레이트는 상기 해당하는 콘트롤 플레이트 라인에 접속되고, 그리고

상기 셀의 선택 트랜지스터들의 소스들은 상기 서로 다른 소스 라인들에 접속됨을 특징으로 하는 반도체 비휘발성 메모리 어레이.

#### 【청구항 46】

표면 내에 액티브 영역들 및 필드 영역들을 갖는 반도체 기판;

상기 반도체 기판 상에 형성된 유전체층;

상기 액티브 내에 형성된 제1 소스;

상기 액티브 영역 내에 상기 제1 소스와의 사이에 제1 채널을 두고 형성된 공통 드레인;

상기 액티브 영역 내에 상기 공통 드레인과의 사이에 제2 채널을 두고 형성된 제2 소스;

상기 제 1 채널 상측에서 상기 유전체층 상에 나란히 형성된 제1 선택 게이트 및 제1 저장 수단;

상기 제 2 채널 상측에서 상기 유전체층 상에 나란히 형성된 제2 저장 수단 및 제2 선택 게이트; 그리고

상기 제1 저장 수단 및 제2 저장 수단 상에 일체로 형성된 콘트롤 플레이트를 구비함을 특징으로 하는 비휘발성 메모리.

【청구항 47】

제 46 항에 있어서, 상기 콘트롤 플레이트는 그것의 중앙 부분에 상기 공통 드레인을 비트 라인에 콘택시키기 위한 오픈 영역을 갖는 것을 특징으로 하는 반도체 비휘발성 메모리.

【청구항 48】

열 방향으로 배열된 복수개의 비트 라인;

행 방향으로 배열된 복수개의 워드 라인;

상기 행 방향으로 배열된 복수개의 소스 라인;

상기 행 방향으로 배열된 복수개의 콘트롤 플레이트 라인;

상기 라인들 사이에 형성된 복수개의 비휘발성 메모리 셀들;

여기서, 각 비휘발성 메모리 셀은, 표면 내에 액티브 영역 및 필드 영역을 갖는 반도체 기판;

상기 반도체 기판 상에 형성된 유전체층;

상기 기판 내에 형성된 제1 소스;

상기 액티브 영역 내에 상기 제1 소스와의 사이에 제1 채널을 두고 형성된 공통 드레인;

상기 액티브 영역 내에 상기 공통 드레인과의 사이에 제2 채널을 두고 형성된 제2 소스;

상기 제 1 채널 상측에서 상기 유전체층 상에 나란히 형성된 제1 선택 게이트 및 제 1 저장 수단;

상기 제 2 채널 상측에서 상기 유전체층 상에 나란히 형성된 제2 저장 수단 및 제2 선택 게이트; 그리고

상기 제 1 저장 수단 및 제 2 저장 수단 상에 일체로 형성된 콘트롤 플레이트로 구성되고,

여기서 , 제1 저장 수단, 상기 공통 드레인 및 상기 콘트롤 플레이트는 제1 비휘발성 저장 트랜지스터를 구성하고,

상기 제1 소스 및 상기 제1 선택 게이트는 상기 제1 비휘발성 저장 트랜지스터용 제1 선택 트랜지스터를 구성하고,

상기 제2 저장 수단, 상기 공통 드레인 및 상기 콘트롤 플레이트는 제2 비휘발성 저장 트랜지스터를 구성하고,

상기 제2 소스 및 상기 제2 선택 게이트는 상기 제2 비휘발성 저장 트랜지스터용 제2 선택 트랜지스터를 구성하고,

여기서 , 상기 셀의 선택 게이트들은 서로 다른 해당하는 워드 라인들에 접속되고,

상기 셀의 공통 드레인은 해당하는 비트 라인에 접속되고,

상기 콘트롤 플레이트는 상기 해당하는 콘트롤 플레이트 라인에 접속되고,  
그리고

상기 셀의 선택 트랜지스터들의 소스들은 상기 서로 다른 소스 라인들에 접속됨을 특징으로 하는 반도체 비휘발성 메모리 어레이.

**【청구항 49】**

제 48 항에 있어서, 프로그래밍시에 선택된 공통 드레인에는 2 ~ 8V의 전압이 인가되고,

선택된 비휘발성 트랜지스터의 콘트롤 플레이트에는 -5 ~ 10V 사이의 전압이 인가되고,

선택된 선택 트랜지스터의 선택 게이트에는 상기 선택 트랜지스터의 문턱 전압( $V_{th}$ )보다 약간 높은 전압이 인가되고, 그리고

상기 선택된 선택 트랜지스터의 소스에는 상기 공통 드레인 전압보다 낮은 0 ~ 2V 사이의 전압이 인가됨을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 50】**

제 48 항에 있어서, 소거시에는 선택된 선택 트랜지스터의 선택 게이트에 0V가 인가되고, 선택된 비휘발성 저장 트랜지스터의 콘트롤 플레이트에는 -10 ~ -5V 또는 0V가 인가되고, 상기 공통 드레인에는 0 ~ 8V 또는 8 ~ 13V가 인가되는 것을 특징으로 하는 반도체 비휘발성 메모리.



**【청구항 51】**

제 48 항에 있어서, 소거시에는 선택된 선택 트랜지스터의 선택 게이트에는  $V_{cc} \sim 20V$  사이의 전압이 인가되고, 선택된 비휘발성 저장 트랜지스터의 콘트롤 플레이트에는  $-8 \sim 0V$  사이의 전압이 인가되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 52】**

표면내에 액티브 영역 및 필드 영역을 갖는 제1 도전형 반도체 기판;

상기 액티브 영역내에 형성된 상기 제1 도전형과 반대인 제 2 도전형을 갖는 제 1 영역;

상기 제1 영역과 제1 채널을 사이에 두고 형성된 상기 제 2 도전형을 갖는 제 2 영역;

상기 제2 영역과 제2 채널을 사이에 두고 형성된 상기 제 2 도전형을 갖는 제 3 영역;

상기 제 1 채널상에서 상기 제 2 영역과 적어도 일부가 겹치도록 형성된 제 1 비휘발성 저장 수단;

상기 기판과 상기 제 1 비휘발성 저장 수단 사이에 형성된 제1 유전체;

상기 제 2 채널상에서 상기 제 2 영역과 적어도 일부가 겹치도록 형성된 제 2 비휘발성 저장 수단;

상기 기판과 상기 제 2 비휘발성 저장 수단 사이에 형성된 제2 유전체;

상기 제 1 채널 상에서 상기 제 1 영역과 적어도 일부가 겹치도록 형성된 제 1 선택 게이트;

상기 제1 선택 게이트와 상기 기판 사이에 형성된 제3 유전체;

상기 제 1 비휘발성 저장 수단과 상기 제 1 선택 게이트 사이에 형성된 제 4 유전체;

상기 제 2 채널 상에서 상기 제 3 영역과 적어도 일부가 겹치도록 형성된 제 2 선택 게이트;

상기 제 2 선택 게이트와 상기 기판 사이에 형성된 제 5 유전체;

상기 제 2 비휘발성 저장 수단과 상기 제 2 선택 게이트 사이에 형성된 제 6 유전체;

상기 제 1 비휘발성 저장 수단과 상기 제 2 비휘발성 저장 수단 상에 일체로 형성된 콘트롤 플레이트; 그리고

상기 콘트롤 플레이트와 상기 비휘발성 저장 수단들 사이에 형성된 제7 유전체를 구비함을 특징으로 하는 반도체 비휘발성 메모리.

#### 【청구항 53】

제 52 항에 있어서, 제 1 유전체 내지 제 7 유전체 중 적어도 두개는 서로 동일한 물질 및 두께를 가지고 형성되거나 또는 제 1 유전체 내지 제 7 유전체 중 적어도 두개는 서로 다른 물질 및 두께를 가지고 형성되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 54】**

제 52 항에 있어서, 상기 비휘발성 저장 수단은 플로팅 게이트인 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 55】**

제 52 항에 있어서, 상기 비휘발성 저장 수단은 질화막 또는 질화막과 산화막의 적층 구조임을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 56】**

제 52 항에 있어서, 상기 제 1 도전형은 P형이고 상기 제 1 도전형과 반대되는 상기 제2 도전형은 N형인 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 57】**

제 52 항에 있어서, 상기 제 1 영역과 상기 제 3 영역은 각각 소스이고 제 2 영역은 공통 드레인인 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 58】**

제 52 항에 있어서, 상기 선택 게이트는 폴리 실리콘으로 형성되고 이방성 식각에 의한 스페이서 형태를 갖는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 59】**

제 52 항에 있어서, 상기 콘트롤 플레이트는 비트 라인과 상기 제 2 영역과의 콘택을 위한 오픈 영역을 갖는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 60】**

제 59 항에 있어서, 상기 제 1 및 제2 비휘발성 저장 수단들 사이에 형성되고 상기 선택 게이트들과 동일 물질로 형성되고, 상기 제 2 영역과 상기 오픈 영역을 통해 전기적으로 콘택하고, 그리고 상기 비휘발성 저장 수단들 및 상기 콘트롤 플레이트와는 전기적으로 절연되는 플러그가 더 구비됨을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 61】**

제 60 항에 있어서, 상기 선택 게이트들과 상기 플러그는 이방성 식각에 의해서 형성되는 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 62】**

제 52 항에 있어서, 상기 콘트롤 플레이트의 측면에 형성된 절연 스페이서가 더 구비됨을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 63】**

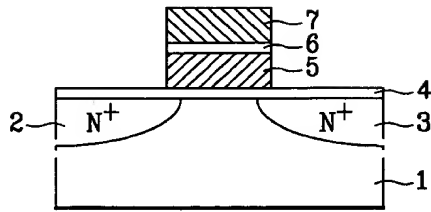
제 52 항에 있어서, 상기 제 1 및 제 2 비휘발성 저장 수단들의 두께는 상기 선택 게이트들의 두께보다 더 두꺼운 것을 특징으로 하는 반도체 비휘발성 메모리.

**【청구항 64】**

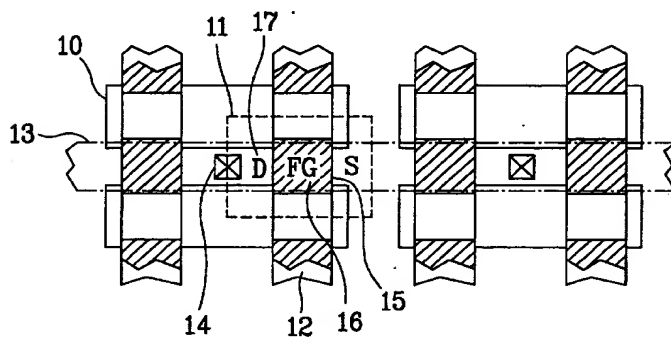
제 52 항에 있어서, 상기 선택 게이트의 두께는 상기 각 비휘발성 저장 수단의 두께와 상기 콘트롤 플레이트의 두께의 합 보다 더 두꺼운 것을 특징으로 하는 반도체 비휘발성 메모리.

## 【도면】

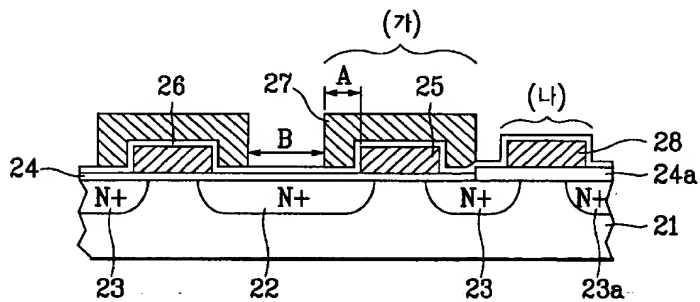
【도 1a】



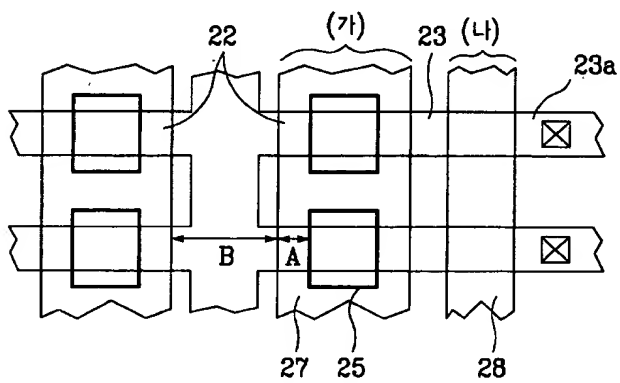
【도 1b】



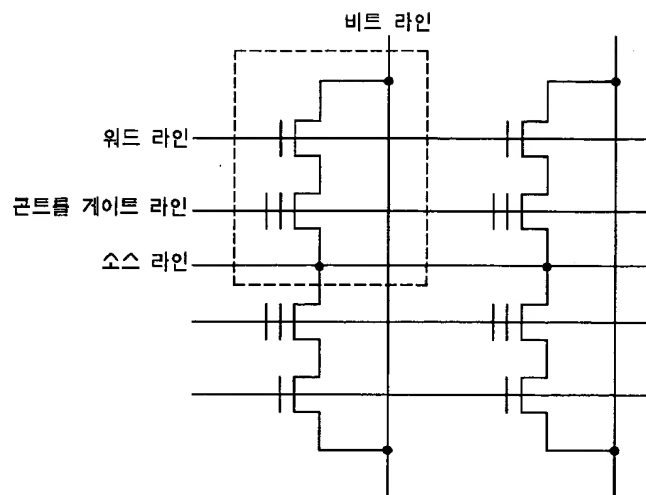
【도 2a】



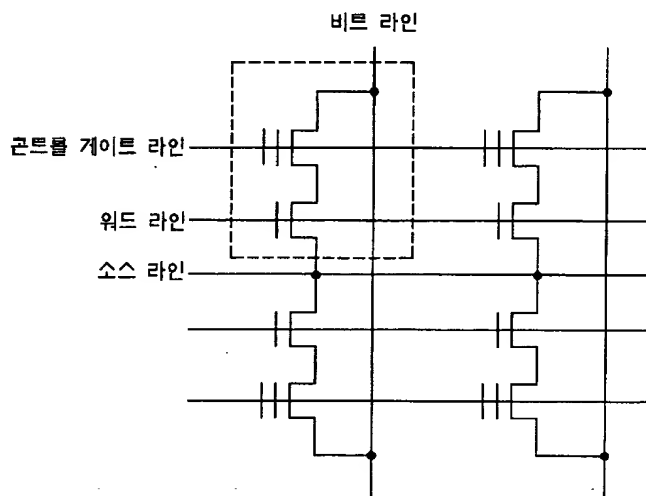
【도 2b】



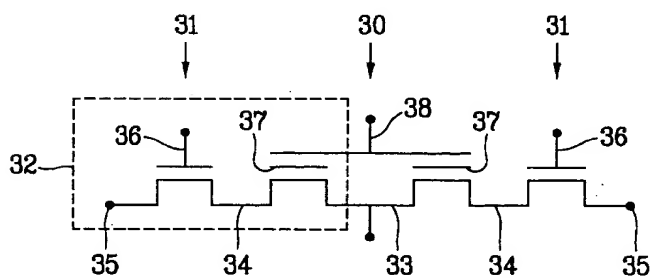
【도 2c】



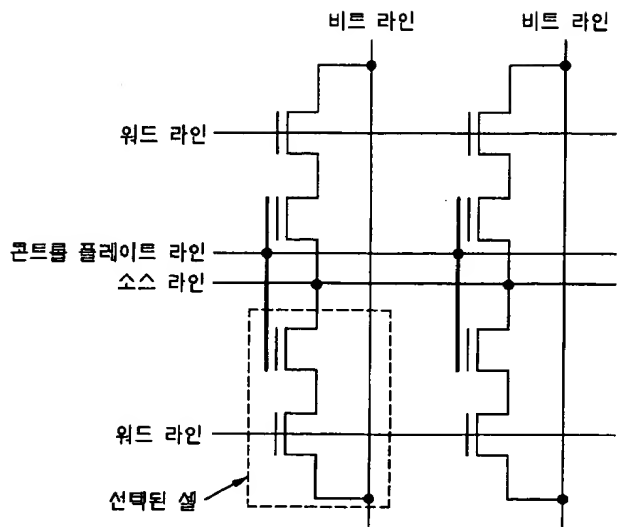
【도 2d】



【도 3a】



【도 3b】



【도 3c】

(UNIT: VOLTS)									
	SELECT GATE	CONTROL PLATE	DRAIN	SOURCE	P-SUB	P-WELL	DEEP N-WELL	REMARK	
PROGRAM	VCC~10	-7~10	2~7	0~2	0	-	-		
	VCC~10	-7~10	1~6	0~2	0	-5~0	0	TRIPLE WELL	
	-	-13~-5	-	0~8	0	-	-		
ERASE	-	0	-	7~13	0	-	-		
	0~VPP OR FLOAT	-13~0	FLOAT OR VPP	FLOAT OR VPP	0	VPP=VCC~13	VPP	TRIPLE WELL	
READ	VCC~7	0~7	0.5~2	0~1.5	0	-	-		
	VCC~7	0~7	0.5~2	0~1.5	0	0	0	TRIPLE WELL	

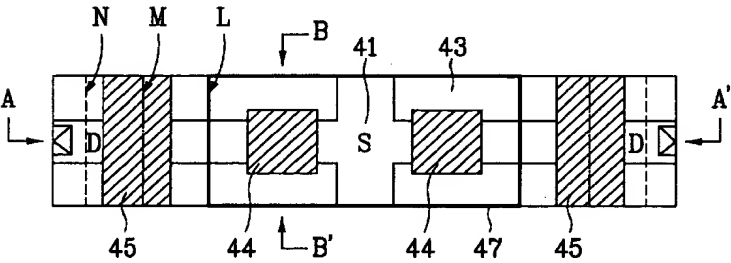
(UNIT: VOLTS)

【도 3d】

	SELECT GATE (WORD LINE)		SELECTED CONTROL PLATE	DRAIN(BIT LINE)		SELECTED SOURCE	P- SUB	P- WELL	DEEP N-WELL	REMARK
	SELECTED CELL	UN- SELECTED CELL		SELECTED CELL	UN- SELECTED CELL					
PROGRAM	VCC~10	0	-7~10	2~7	-	0~2	0	-	-	
	VCC~10	0	-7~10	1~6	-	0~2	0	-5~0	0	TRIPLE WELL
ERASE	VCC~10	0~VCC OR FLOAT	-10~-3	VCC~10	0 OR FLOAT	0 OR FLOAT	0	-	-	
	7~15	0	0	7~13	0	FLOAT	0	-	-	
READ	VCC~7	0	0~7	0.5~2	-	0~1.5	0	-	-	

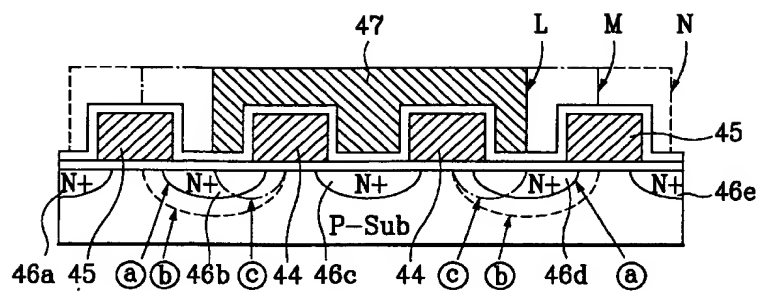
(UNIT: VOLTS)

【도 4a】

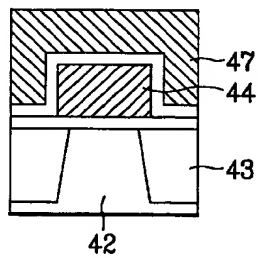




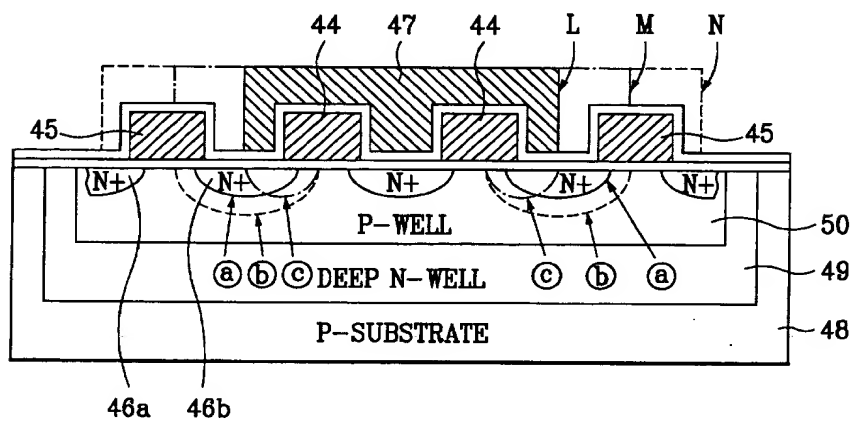
【도 4b】



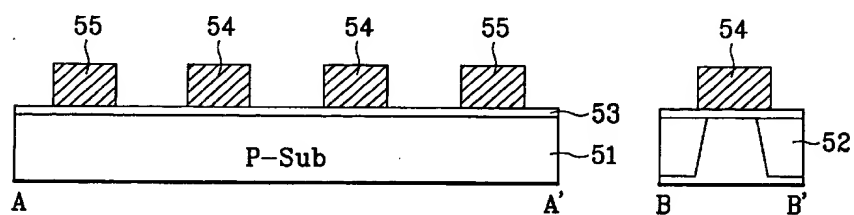
【도 4c】



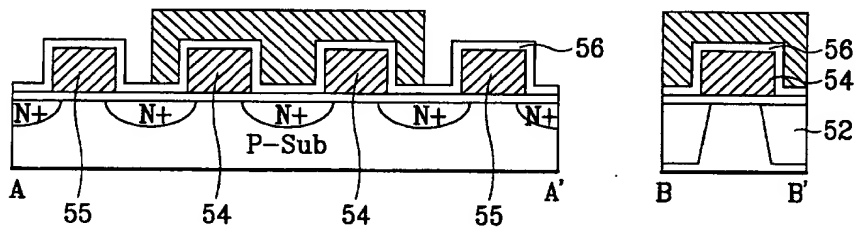
【도 4d】



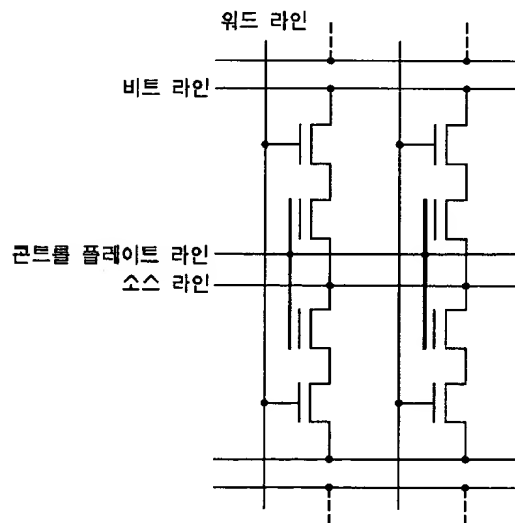
【도 5a】



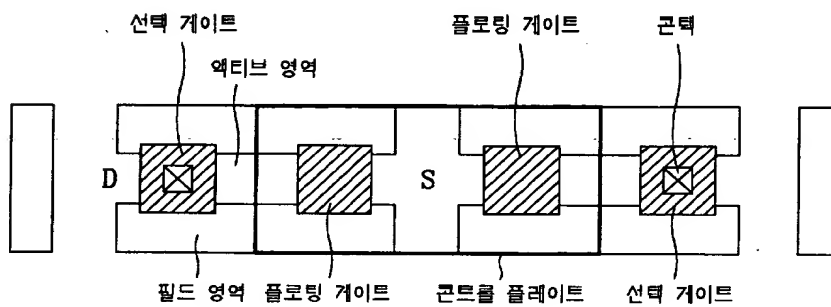
【도 5b】



【도 6a】



【도 6b】



【도 6c】

	WORD LINE (SELECTED)	CONTROL PLATE	BIT LINE		SOURCE LINE	P-SUB	P-WELL	DEEP N-WELL	REMARK
			SELECTED	UN- SELECTED					
PROGRAM	VCC~10	-7~10	2~7	VS	VS	0	-	-	
	VCC~10	-7~10	1~6	VS	VS	0	-5~0	0	TRIPLE WELL
ERASE	-	-13~-5	0 OR FLOAT	-	0~8	0	-	-	
	0	0	-	-	8~13	0	-	-	
READ	0~VPP OR FLOAT	-13~0	VPP OR FLOAT	-	FLOAT OR VPP	0	VPP= VCC~13	VPP	TRIPLE WELL
	VCC~7	0~7	0.5~2	VS	VS	0	-	-	

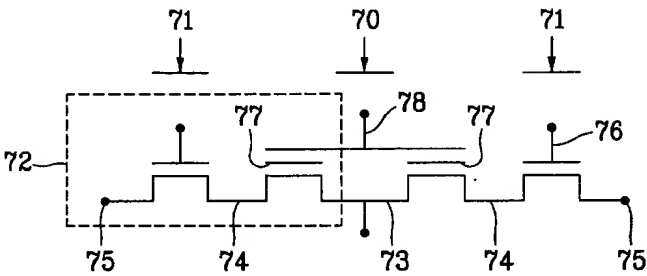
(UNIT: VOLTS)

【도 6d】

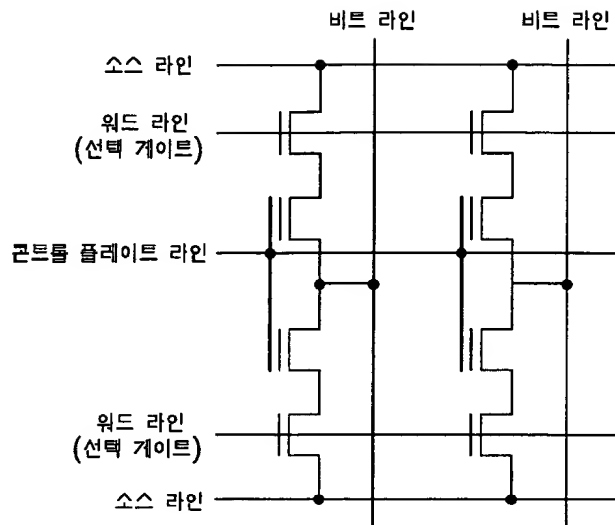
	WORD LINE		CONTROL PLATE	BIT LINE		SOURCE LINE	P-SUBP-WELL	DEEP N-WELL	REMARK
	SELECTED	UN-SELECTED		SELECTED	UN-SELECTED				
PROGRAM	VCC~10	0	-7~10	2~7	VS	VS	0		
	VCC~10	0	-7~10	1~6	VS	VS	0	-5~0	0
ERASE	VCC~10	0~VCC OR FLOAT	-10~-3	VCC~10	0 OR FLOAT	0 OR FLOAT	0		TRIPLE WELL
	7~15	0	0	7~13	-	FLOAT	0	-	
READ	VCC~7	0	0~7	0.5~2	VS	VS	0		

(UNIT: VOLTS)

【도 7a】



【도 7b】

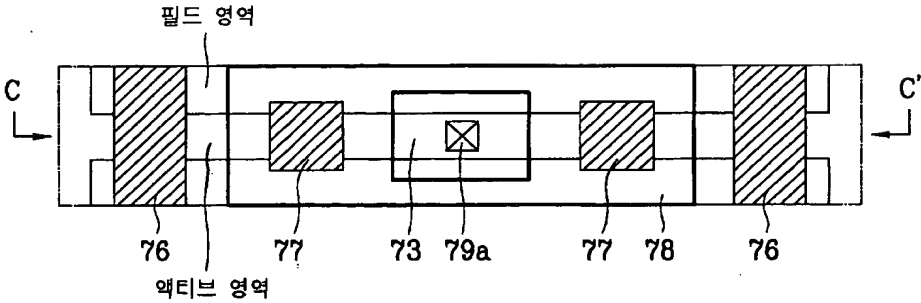


【도 7c】

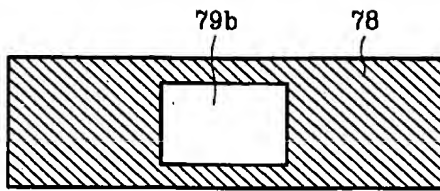
	WORD LINE		CONTROL PLATE	BIT LINE		SELECTED SOURCE LINE	P-SUBP- WELN	DEEP N- WELN	REMARK
	SELECTED	UN-SELECTED		SELECTED	UN-SELECTED				
PROGRAM	VCC~10	0	-7~10	2~7	VS	VS	0	-	
	VCC~10	0	-7~10	1~6	VS	VS	0	-5~0	TRIPLE WELL
	VCC~	-	-10~-5	0~8	-	-	0	-	
ERASE	0	-	0	8~13	-	-	0	-	
	VCC~10	0	-10~-3	0 OR FLOAT	VCC~10	VCC~10	0	-	
	0~VCC OR FLOAT	-13~0	FLOAT OR VPP	-	FLOAT OR VPP	0	VPP= VCC~13	VPP	TRIPLE WELL
READ	VCC~7	0	0~7	0.5~2	VS	VS	0	-	

(UNIT: VOLTS)

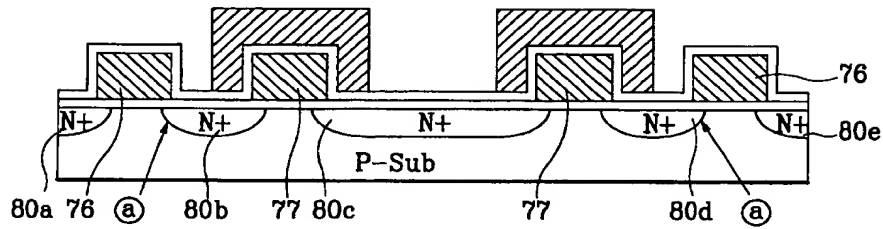
【도 7d】



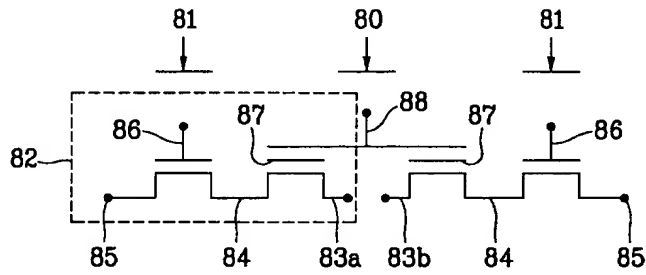
【도 7e】



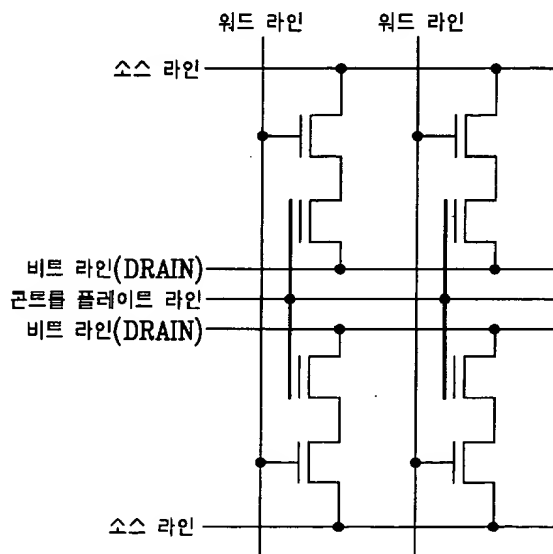
【도 7f】



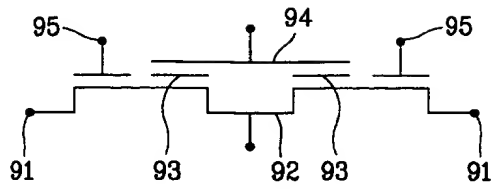
【도 8a】



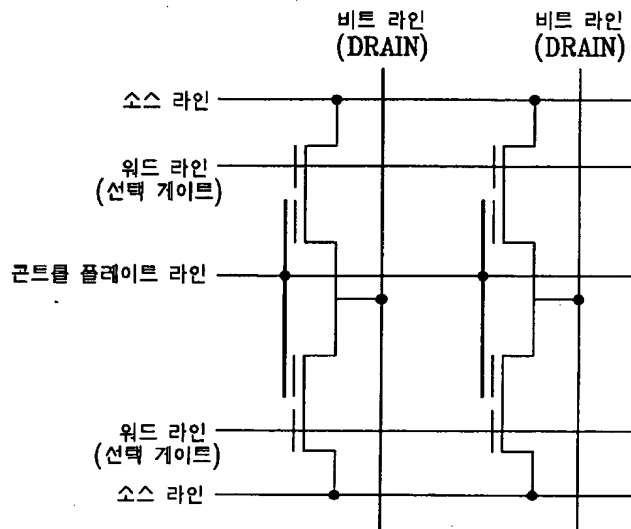
【도 8b】



【도 9a】



【도 9b】

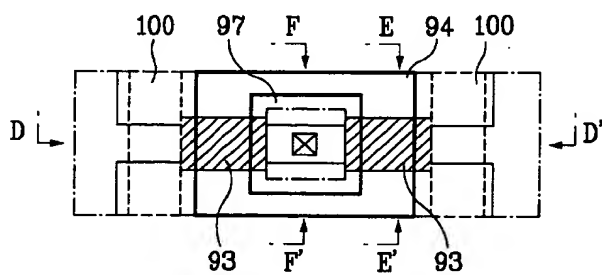


【도 9c】

(UNIT: VOLTS)

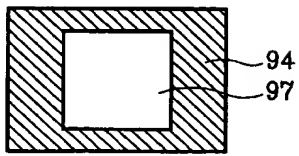
	SELECT GATE	CONTROL PLATE	DRAIN	SOURCE	SUB
PROGRAM	$V_{th} + \alpha$	-5~10	2~8	0~2	0
ERASE	0	-10~-5	0~8	-	0
	0	0	7~13	-	0
	VCC~20V	-8~0	-	-	-
READ	VCC~7	0~7	0.5~2	0~1.5	0

【도 9d】

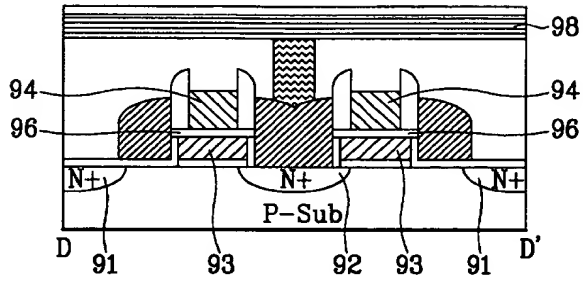




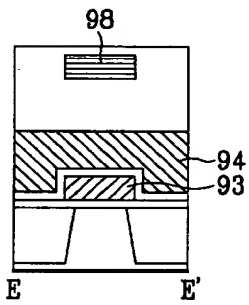
【도 9e】



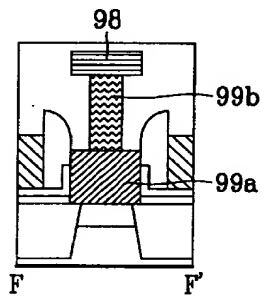
【도 9f】



【도 9g】

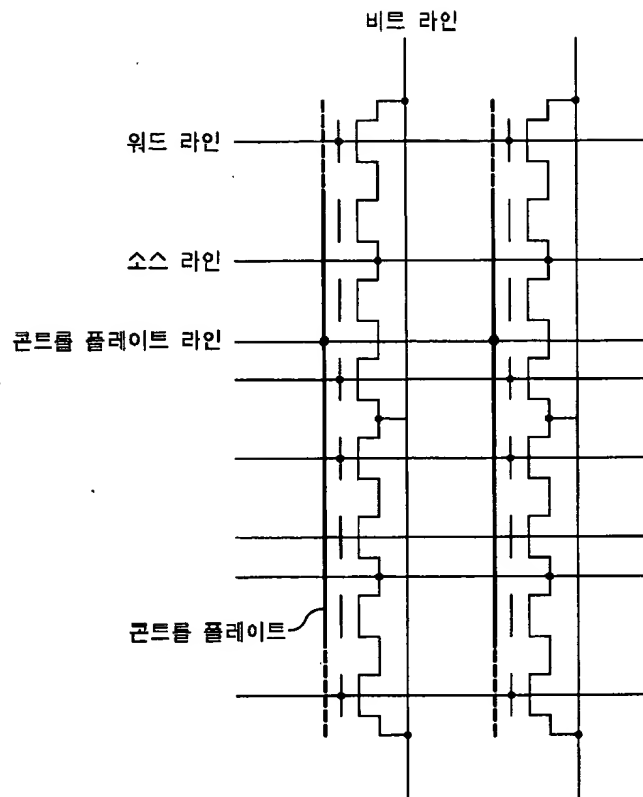


【도 9h】

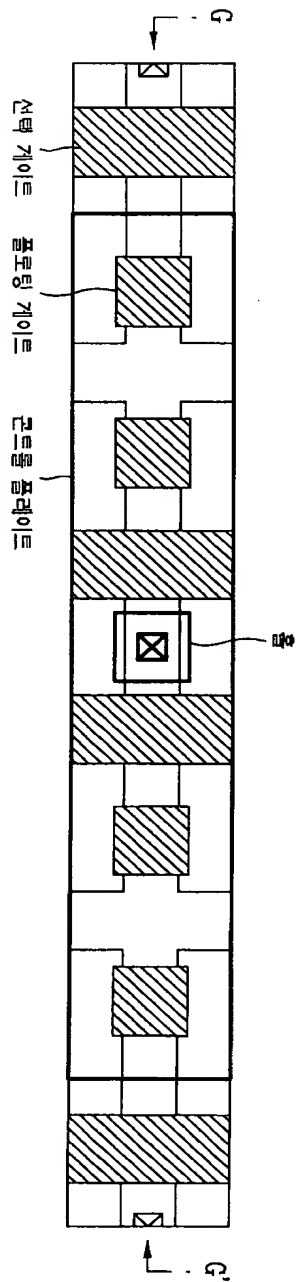




【도 11a】



【도 11b】



【도 11c】

